



# 「SiC パワーMOSFET に残された課題」

◇ 日時: 2017年9月4日(月) 13:00~17:00

◇ 場所: リファレンス駅東ビル 3F 会議室 H-2、福岡市博多区博多駅東1丁目 16-14  
( JR 博多駅筑紫口より徒歩 5 分、<http://www.re-rental.com/ekihigashi/access/> )

SiCパワーMOSFETの実用開始から数年が経ち、トレンチ型の採用や大電流モジュール化が進み、更なる高耐圧化も検討されている。一方、ゲート電圧の範囲や、ボディダイオードのオン電圧や通電劣化など、Si-MOSFET、IGBTと比較して、使い方に注意が必要である。使いやすいSiCパワーMOSFETを実現するために、専門家の方々に現状について報告いただき、今後解決すべき課題及びその展望について討論する。

.....プログラム.....

**開会のあいさつ** **13:00~13:05**

**ボディダイオードの順方向通電劣化抑制のためのバッファ層** **13:05~13:35**  
**俵 武志 (産業技術総合研究所/富士電機)**

MOS ボディダイオードを順方向通電した際にエピ/基板界面から拡大する積層欠陥を抑制するために、キャリア寿命の短いバッファ層の適用を検討した。電流密度を減らしてキャリア注入量を減少させることで積層欠陥が拡大から縮小に転じることを示した。エピ/基板界面にキャリア寿命の短いバッファ層(再結合促進層)としてN高密度ドープ層(N:  $1e18 \text{ cm}^{-3}$ ,  $10 \mu\text{m}$ )を備えたpnダイオードを試作し、DC 600 A/cm<sup>2</sup>で1時間の通電においても積層欠陥が拡大しないことを示した。

**V溝トランジスタの開発と特性** **13:35~14:05**  
**増田 健良 (産業技術総合研究所/住友電気工業)**

我々は4H-SiC(0-33-8)面上にMOS界面を作成し窒化処理により高いチャネル移動度が得られることを見出した。さらに結晶面をトレンチMOSFETのチャネルに用いたV溝トランジスタを開発し、耐圧1.2kV、オン抵抗 $2.0 \text{ m}\Omega \text{ cm}^2$ を実現し、スイッチング損失、信頼性についても問題が無いことを報告した。本講演では、V溝トランジスタの特徴である(0-33-8)面上に形成した高品質なMOS界面特性に触れ、SiCトレンチMOSFETが抱える課題とその対策について報告する。

**SiCトレンチMOSFET特性向上に向けたm面MOS界面窒化現象の制御と理解** **14:05~14:35**  
**濱田 公守 (トヨタ自動車)**

4H-SiCのSi面、C面、a面にNO-POAを施した場合、各面は異なるMOS界面窒素飽和密度を持つことが知られている。しかしトレンチMOSFETのチャネル面として期待されるm面の窒化状態の異方性について多くは知られていない。我々は4H-SiCのm面にNO-POAを行い、SIMS, HAXPES, XPS及びXAFSによりその界面構造を調べ、Nは他の面同様SiO<sub>2</sub>/SiC界面に偏析し、大部分のNはSiとのみ結合すること、またCと置換する位置に存在し、界面窒素密度は飽和値を持つことが分かった。m面の界面窒素飽和密度は約 $9.8E14 \text{ cm}^{-2}$ で、その値はm面表面に露出するC原子密度の約1.5倍に相当するm面特有の値であった。我々はm面の飽和窒素密度はm面の炭素原子の独特な配置に由来すると考え、m面特有の窒化構造モデルを提案した。

**鉄道車両駆動システムの省エネに資するSiC-MOSFET** **14:35~15:05**  
**濱田 憲治 (三菱電機)**

省エネルギーと小型軽量化の要求が強い鉄道用途に対してSiCパワーデバイスを適用するメリットを、最新の実証結果を交えて概説する。高温動作時でも高い電子移動度を維持するJFETドーピングを独自に開発するとともに、n型ドリフト層の改良とスクリーニング技術を開発した結果、低抵抗かつ高信頼で大電流容量を持つSiC-MOSFETを実現した。これを搭載した3.3kV/1500A大容量フルSiCモジュールによりインバータ損失で従来比55%低減を達成する等、高耐圧域におけるSiCのメリットを世界で初めて実証した。また、フルSiCモジュール

ルを用いて鉄道車両の主回路システム全体の省エネを推進した結果、営業走行にて従来比 40%減の省エネ効果を実証するとともに、次世代新幹線の確認試験車において駆動システムの大幅な小型・軽量化に貢献した。

## 休憩 15:05~15:25

### SiC-MOS のしきい値電圧変動とその評価法の課題

15:25~15:55

染谷 満 (産業技術総合研究所)

SiC-MOSFET の課題として、ゲートバイアスストレスによるしきい値電圧 ( $V_{th}$ ) 変動の不安定があげられる。この  $V_{th}$  の変動量は評価手法により異なった値として検出されるため、目的に応じた評価手法の適用が必要不可欠である。本報告では正および負の DC ゲートバイアスストレスに対する  $V_{th}$  変動を様々な手法で評価することで、SiC 特有の速い変動成分、遅い変動成分について議論する。加えてそれらの成分が AC 動作下におけるドレイン電流に与える影響について紹介する。

### 化合物パワー半導体の信頼性試験標準化動向

15:55~16:25

山口 浩二 (富士電機)

SiC や GaN を半導体材料にしたパワーデバイスは、大きな絶縁破壊電圧や高い熱伝導率など有利な物性をもつため、高耐圧・低損失・高温動作デバイスが実現できるとして実用化が進められている。その一方で、Si では顕在化しなかった現象が学会等で多く報告されている。特に、パワーデバイスの寿命を決める信頼性は大きな課題となっており、電圧・電流ストレスによる化合物半導体固有の故障モードを明確化する必要があった。また、評価・試験する方法や条件についても半導体ベンダそれぞれで条件に相違があり、市場からは標準化が求められていた。JEITA 化合物 WG では、具体的な化合物パワー半導体固有の故障モードを明確するとともに、化合物パワー半導体の信頼性試験方法ガイドラインとして制定し、化合物半導体を市場で安心して使用できる環境を提供する。

### SiC 搭載 DIIPM の開発と展望

16:25~16:55

渡部 毅代登 (三菱電機)

当社は家電機器に向けたパワー半導体モジュールの新製品として、フル SiC DIIPMTM (Silicon Carbide Dual In-line Package Intelligent Power Module) を製品化した。モジュールを構成する SiC-MOSFET は独自のゲート酸化膜形成プロセスと新規セルピッチ縮小技術の組み合わせにより、低オン抵抗と高しきい値電圧の両立を実現した。オン抵抗はゲート電圧 18V で定格 15A にて 73mΩ 程度、しきい値電圧は 4V 以上にしてゲート負バイアス回路を無くすことで、超小型 DIIPM と同一パッケージへの搭載を可能にし、本製品の電力損失を従来製品に比べて 74% と大幅に低減できた。この製品化したフル SiC DIIPM の開発内容と展望について述べる。

### 閉会のあいさつ

16:55~17:00

■■参加受付: WEB 参加受付システム ([ココをクリック\\*](#)) から参加登録をお願いします。8 月 25 日の登録状況でテキスト印刷部数を決定しますので、以後の登録ではテキストを当日お渡しできない可能性があります。

\*本案内が印刷物の場合、<http://annex.jsap.or.jp/adps/pdf/kenkyuukai08.pdf> よりアクセスして下さい。

■■参加費: (テキスト代・消費税込) 当日会場にてお支払いください。

先進パワー半導体分科会会員\* 2,000 円、分科会学生会員 1,000 円、一般 4,000 円、一般学生 1,000 円

\*先進パワー半導体分科会賛助会員所属の方は先進パワー半導体分科会会員扱いとします。

### 問合せ先:

御神村 泰樹(住友電気工業)

TEL: 06-6466-5754

e-mail: mikamura-yasuki@sei.co.jp

矢野 裕司(筑波大学)

TEL: 029-853-5781

e-mail: yano.hiroshi.fn@u.tsukuba.ac.jp

今泉 昌之(三菱電機)

TEL: 092-805-3298

e-mail: Imaizumi.Masayuki@ah.MitsubishiElectric.co.jp

岡山 昇平(応用物理学会事務局)

TEL: 03-3828-7723

e-mail: divisions@jsap.or.jp