



「逆導通対応パワー半導体デバイス・応用の最新技術」

◇ 日時： 2019 年 2 月 27 日（水） 13:30～17:00

◇ 場所： 梅田スカイビル 36 階 スペース 36L、〒531-6023 大阪市北区大淀中 1 丁目 1 番 88 号
(JR 大阪駅から…徒歩約 7 分 <http://www.skybldg.co.jp/access/walk.html>)

Si、SiCなどのMOSFETでは、内蔵ダイオードを活用する素子の性能進化や実用化開発が盛んに行われている。また、一つの素子にダイオード領域とMOSFET領域を形成した混載型デバイスの開発も進んでいる。今回は、逆導通に対応するパワー半導体デバイスにフォーカスをあて、現在実用化されている、Si-SJMOS、RC-IGBT、DioMOS、開発が進展しているSBD内蔵MOSFET、および、SiCのボディダイオード活用時のバイポーラ劣化対策などの技術面での最新技術動向について、多彩な講師の方にご講演いただき、ワイドギャップ半導体のさらなる発展の方向性や適する応用分野について議論する。

.....プログラム.....

開会のあいさつ **13:30～13:35**

Si-SJMOS 開発動向 **13:35～14:05**
齋藤 渉 (東芝デバイス&ストレージ株式会社)

ドリフト層内に Superjunction (SJ)構造を有するパワーMOS は、SJ 構造の横方向ピッチを微細化することで、Si 限界を超える低オン抵抗が得られ、大電流動作も可能となる。大電流を用いる応用の一つであるインバータ回路では、内蔵ダイオードのリカバリー動作時の低ノイズ(ソフト化)、低損失(高速化)が要求される。ここでは、インバータ応用に向けた SJ-MOS の内蔵ダイオードの課題であるソフト化、高速化に対して検討されてきた内容について紹介する。

RC-IGBT の開発動向 **14:05～14:35**
小野沢 勇一 (富士電機株式会社)

大容量パワーエレクトロニクス機器のキーデバイスである IGBT モジュールは、低損失、高信頼性に加え、更なる小型化が求められている。しかしながら、パワー密度の増大と IGBT の特性改善の飽和により、これまでのような大幅なサイズダウンが困難になりつつある。一方、IGBT と FWD を一体化した RC(Reverse Conducting)-IGBT は、不活性領域を共有できることに加え、お互いを熱的な緩衝領域として利用できるため、従来の IGBT、FWD の 2 チップ構成より IGBT モジュールを小型化するポテンシャルを有する。本報告では、チップおよびパッケージ単体の特性改善に加え、RC-IGBT を適用したことにより、出力電流を約 40%向上させた産業用 X-series RC-IGBT モジュールを紹介する。

還流ダイオード機能を有する SiC パワーMOSFET(DioMOS) **14:35～15:05**
大岡 篤志 (パナソニック株式会社)

SiC パワーMOSFET 固有の課題であるボディダイオードのバイポーラ劣化を抑制するため、ボディダイオードとは異なる還流ダイオード経路を有した新規デバイスの開発が近年盛んに行われている。我々はその先駆けとして、SiC パワーMOSFET のチャンネル部を還流ダイオード経路として活用する DioMOS (Diode-Integrated MOSFET)を提案した。チャンネル部に適用した高濃度の n 型ドープ層を、双方向の電流経路として利用する DioMOS では、順方向の閾値電圧(V_{th})およびオン抵抗(R_{on})と、逆方向の立ち上が

り電圧 (V_f) を独立して設計するのが非常に困難である。本講演では V_{th} 、 R_{on} 、 V_f の各パラメータに影響する設計パラメータについて考察し、高 V_{th} かつ低 V_f を維持しながら更なる低 R_{on} 化を実現した DioMOS の開発について紹介する。

休憩 15:05~15:25

ボディダイオードの不活性化を実現する SBD 内蔵 MOSFET (仮)

15:25~15:55

日野 史郎 (三菱電機株式会社)

デッドタイム期間中のボディダイオード動作を抑制するために従来外付けされていた SBD を SiC-MOSFET のユニットセル内部に内蔵した SBD 内蔵 SiC-MOSFET を考案した。内蔵 SBD では、SBD 電流がドリフト層で引き起こす電圧降下が pn 接合に印加されないため、ボディダイオードの動作が始まるまでに外付け SBD よりも格段に大きな SBD 電流を流すことができる。そのため、SBD 内蔵 MOSFET は高耐圧モジュールで必要とされた巨大な外付け SBD チップを排除でき、コンパクトな高耐圧モジュールを実現できる。3.3kV 素子、6.5kV 素子を作製し、ボディダイオード動作が抑制されていることと、従来型 MOSFET に対するオン抵抗の増大が限定的であることを確認した。また、6.5kV フル SiC モジュールを開発し、従来 Si 品に対して 1.8 倍のパワー密度を実現するとともに、ボディダイオードの無通電化がもたらすスイッチング特性の改善を確認した。

Body Diode の通電劣化について(仮)

15:55~16:25

土田 秀一 (電力中央研究所)

4H-SiC 単結晶を用いたバイポーラデバイスでは、順方向通電時に積層欠陥が拡大することでオン電圧が増大する現象(バイポーラ劣化現象)が起こることが知られている。この現象は、SiC 単結晶中の基底面転位が核となって、ある水準以上の過剰キャリアが注入されることで引き起こされ、4H-SiC MOSFET の内蔵 PN ダイオードを活用する場合にも問題となる。このため、バイポーラ劣化現象を理解し、回避するための研究開発が進められている。本講演では、バイポーラ劣化現象の概略ならびに考えられる対策手法について述べる。

パワーデバイスのボディダイオード課題に対する回路技術

16:25~16:55

只野 博 (筑波大学)

高性能な先進パワー半導体デバイスは、オン抵抗低減や高速化、高信頼化といった性能の向上を行っている。しかし、これらの特性はそれぞれトレードオフ関係にあるため、すべてを向上させることはなかなか困難である。このトレードオフの課題を、回路技術、回路動作と組み合わせることで克服できる可能性がある。本報告では、回路技術による課題克服の例として、パワーデバイスのボディダイオードにおける課題克服技術を Si のスーパージャンクション MOSFET や SiC-MOSFET を対象として、ボディダイオードの導通を短縮する技術、ボディダイオードの導通を最短にする回路構成、ボディダイオードの導通を生じさせない回路に関し報告する。

閉会のあいさつ

16:55~17:00

.....
■参加受付: WEB 参加受付システム(ここをクリック*)から参加登録をお願いします。○月○○日の登録状況でテキスト印刷部数を決定しますので、以後の登録ではテキストを当日お渡しできない可能性があります。

*本案内が印刷物の場合、http://annex.jsap.or.jp/adps/pdf/kenkyuukai**.pdf よりアクセスして下さい。

■参加費: (テキスト代・消費税込)当日会場にてお支払いください。

先進パワー半導体分科会会員* 2,000 円、分科会学生会員 1,000 円、一般 4,000 円、一般学生 1,000 円

*先進パワー半導体分科会賛助会員所属の方は先進パワー半導体分科会会員扱いとします。

問合せ先:

多留谷 政良(三菱電機)	TEL: 092-805-3289	e-mail: Tarutani.Masayoshi@da.MitsubishiElectric.co.jp
服部 佳晋(豊田中央研究所)	TEL: 0561-71-7766	e-mail: y-hattori@mosk.tytlabs.co.jp
上野 勝典(富士電機)	TEL: 042-585-6598	e-mail: ueno-katsunori@fujielectric.com
五十嵐 周(応用物理学会事務局)	TEL: 03-3828-7723	e-mail: igarashi@jsap.or.jp