第2回集積化MEMS技術研究会,東京大学,生産研,2008年11月21日 論文番号(招待講演) IMS-02-01

> More than Moore と MEMS/NEMS: beyond "More Moore" ナノエレ時代に向けて More than Moore and MEMS/NEMS (㈱半導体先端テクノロジーズ(現所属:(独)科学技術振興機構) 河村 誠一郎 Selete (現所属: JST) Seiichiro Kawamura kawamura-seiichiro@nifty.com

過去 30 年以上にわたり微細化を続けてきたシリコントランジスタも、技術的、経済的な限界が予知できる時間帯に入り、世界中が「More Moore」 から「More than Moore」あるいは「beyond CMOS」に研究の軸足を移しつつある。特に More than Mooreの概念を編み出した欧州では、単なるス ケーリング技術の追求から完全に脱却し、MEMS/NEMS 技術を中心とする More than Moore に舵を切り始めた。米国は相当先を見すえて、大学を中 心に、現在の CMOS とは全く異なる原理に基づく beyond CMOS の研究に注力し始めた。一方、日本の現状を見ると、スケーリングは引き続き追及 してはいるものの、More than Moore に行くわけでもなく、かといって beyond CMOS の研究体制を構築する訳でもないという、非常に中途半端な 立場を取っている。

日本がどちらの方向を目指すべきか、難しい判断ではあるが、近い将来、現在の CMOS を完全に置き換えるデバイスが出現することはまず考えら れず、当面は、CMOS に新機能を追加する More than Moore 的なアプローチと、一部の beyond CMOS 的機能を現在の CMOS に付加し機能を強化する 融合型に進むのではないかと予想される。

本講演では、以上の観点から、beyond "More Moore"を目指す近未来のナノエレクトロニクス時代に向けての展望と、その中で MEMS/NEMS 技術が果たす役割を論じたい。

身体活動モニタ用集積化 MEMS

Smart MEMS for Human Activity Monitoring 兵庫県立大学/(独)科学技術振興機構 University of Hyogo / Japan Science and Technology Agency. Maenaka Kazusuke maenaka@eng.u-hvogo.ac. ip

前中 一介

はじめに:本年度より、著者らは科学技術振興機構の研究グループとして、5年間を想定した「人体活動モニタリングのための集積化 MEMS」につ いてのプロジェクトをたちあげることになった[1]。4月から研究者6名があつまり、装置の導入をはじめインフラの整備を行い上記のプロジェ クト本格稼働に向けての準備を行っており、現在ようやく基盤整備が一息ついた状態である。本報告では、このプロジェクトの内容を中心に、著 者らがこれまで取り組んできた MEMS 関連技術のいくつかについて報告する。

内 容:80年代に非常に話題となった集積化センサ、スマートセンサ、インテリジェントセンサなどと呼ばれる概念は、当時も簡単なものは実現 されていたが、本格的にこれらの名称にふさわしい素子が現れてきたのは最近のことである。講演では、80年代に考案された集積化センサ(回路 とセンサの集積化:磁気センサ、加速度センサ、圧力センサなど)を簡単に報告し、最近の集積化システム例を示した後、MEMS 集積化の応用例と して、身体活動モニタ用集積化 MEMS の構想を述べる。プロジェクトでは、超小型低消費電力で多数の物理量を同時に検出[2]しかつ身体の多点に 拘束感無く装着でき、計測されたデータを周囲のベースステーションに無線転送する能力を持つ超小型貼り付け型デバイスの実現、および得られ たデータから状況を判断するアルゴリズムの構築を行うことが核となっている。最終的には、人体の物理的状況のみならず複合的なセンシングに よって精神的な状況をも感知し、必要な措置を速やかに講じることができるシステムの実現を目標とする。詳細については研究会で述べる。

[1] http://www.jst.go.jp/pr/info/info447/shiryo2-4.html, http://www.eratokm.jp/index.html

[3] K. Maenaka, K. Masaki, and T. Fujita: "Application of Multi-Environmental Sensing System in MEMS Technology", Proc. of INSS, pp. 47-52., Germany, Jun 2007

2軸変位櫛形電極の電気等価回路モデルを用いた静電容量型 MEMS の特性解析

Analysis of electrostatic MEMS using an electrical equivalent circuit model of two-degree-of-freedom comb-drives 京都大学¹,静岡大学²,みずほ情報総研³,数理システム⁴ ○土屋智由¹,細木真保²,藤原信代³,望月俊輔⁴,橋口原² ¹Kyoto Univ., ²Shizuoka Univ., ³Mizuho Information & Research Institute, Inc. and ⁴Mathematical Systems, Inc. ○<u>T. Tsuchiya¹</u> (tutti@me.kyoto-u.ac.jp), M. Hosogi², N. Fujiwara³, S. Mochizuki⁴, and G. Hashiguchi²

はじめに:我々は集積化 MEMS の設計効率化を目的とし,電気等価回路を用いたシステム解析用 MEMS 回路モデ ル生成ツールの研究開発を行っている.この中で,多軸並進変位する櫛形電極の等価回路モデルの提案[1],デバイ スを構成する機能要素の機械的接続を等価電気回路へ変換する手法を構築[2]した.本報告ではこれらを用い多数の 要素から構成された静電容量型デバイスの電気等価回路モデルを作製し,解析と実験を比較した結果を報告する. 実験:解析に用いたナノ材料用引張試験デバイスを Fig.1 に示す.デバイスは活性層 5 µm 厚の SOI ウエハに作製 した.右上端の櫛形電極を駆動し,試験片に引張荷重を印加する.試験片の伸びと荷重は変位として 2 対の差動平 行平板静電容量で検出する.荷重は中央のばねで変位に変換している.今回の計測では試験片の代わりに等価 なばねを挿入したデバイスを用いた.このデバイスを電気等価回路に変換し伝達特性を評価した.全ての静電 容量は 2 軸変位櫛形電極用等価回路を用いて表現した.

結果: Fig.2 に駆動用櫛形電極に交流信号を印加したときの一対の変位検出用櫛形電極の差動出力の伝達特性を示す.解析値と測定値がよく一致しており、本等価回路の妥当性を示すことができた.

[1] M. Hosogi, Tech. Digest of 25th Sensor Symposium, Ginowan, Okinawa, Oct. 22-24, 2008, pp. 221-224.
[2] N. Fujiwara, Tech. Digest of 25th Sensor Symposium, Ginowan, Okinawa, Oct. 22-24, 2008, pp. 225-228.





MEMSによる異機能集積化プロセス

Title

東京大学生産技術研究所マイクロメカトロニクス国際研究センター 〇藤田博之

CIRMMM, IIS, The University of Tokyo

OHiroyuki Fujita

fujita@iis.u-tokyo.ac.jp

MEMS 技術は、自動車、光通信から TV ゲームコントローラに至るまで広く実用化されるに至った。 今後の MEMS は、電子回路、機械、工学、バイオ化学など、様々の異なった機能を集積したデバイス の実現を目指している。このため従来のシリコン技術の延長としてのマイクロマシニングを超えて、 異機能を集積化できる製造プロセスの研究が焦眉の課題となっている。講演では、印刷技術を利用 してm級の大面積柔軟基板に MEMS を作る方法や、バイオ・ナノ技術に特徴的なボトムアップ手法で 得られる機能要素をトップダウン的に設計・製作した構造の中に取り込みナノシステムを作り上げ る方法などについて、その概念と萌芽的研究成果について紹介する[1]。



[1] H. Fujita "MEMS for Heterogeneous Integration of Devices and Functionarity, Jour. Semicond. Tech \$ Science, 7, 133-139 (2007).

真空気密 / 実圧気密方式によるウェーハレベルMEMSパッケージ技術

Robust Hermetic Wafer Level Thin-Film Encapsulation Technology for Stacked MEMS / IC Package

(株)東芝 セミコンダクター社 半導体研究開発センター¹, 生産技術センター² 〇下岡 義明¹, 井上 道信², 遠藤 光芳¹, 小幡 進², 小島 章弘¹, 宮城 武史², 杉崎 吉昭¹, 森 郁夫², 柴田 英毅¹ Center for Semiconductor R&D, Semiconductor Company¹, Corporate Manufacturing Engineering Center², Toshiba Corp. OY. Shimooka¹, M. Inoue², M. Endo¹, S. Obata², A. Kojima¹, T. Miyagi², Y. Sugizaki¹, I. Mori² and H. Shibata¹ yoshiaki.shimooka@toshiba.co.jp

はじめに: 各種センサや RF 素子[1]に用いられる MEMS (micro-electro-mechanical systems)は、機械的可 動部分を有するため既存の IC (integrated circuit)パッケージ技術による気密封止を行うことができない。こ れまで、シリコンやガラス・キャップを用いた MEMS の封止技術が報告されているが、パッケージの縮 小化や低コスト化が困難であった。そこで、私達は既存 IC の配線形成技術を応用することによって、生 産性に優れた、小型で低コストな真空気密封止方式と実圧気密封止方式[2]の WLP (wafer level package)技 術を開発した (図 1)。同時に、MEMS 素子 / 制御 IC を同一パッケージ内で積層化することが可能な MCP (multi-chip package)技術を新たに開発したので報告を行う。

結 果: FEM (finite element model)の結果、真空気密方式のキャップ外周を波形形状とすることによって、 WLP の最大主応力を最小限にできることがわかった。また、犠牲層除去用ホール径を 10µm、ピッチを 40µm に最適化することで、塗布型樹脂を用いた実圧の気密封止構造を実現することが可能となった。一 方、気密封止キャップ上に 20µm 厚の樹脂を印刷して補強することにより、制御 IC のマウントおよびモ ールディング時の圧力にキャップが破損することなく、MEMS 素子 / 制御 IC 積層実装品としては世界最 薄クラスの 0.8mm 厚パッケージ外形とすることができた。

[1] T. Ikehashi et-al., "An RF MEMS Variable Capacitor with Intelligent Bipolar Actuation," ISSCC, 2008, p.582.

[2] O. Susumu et-al., "In-Line Wafer Level Hermetic Packages for MEMS Variable Capacitor," ECTC, 2008, pp. 158-163.









(d) Sacrificial layer removal



図1 真空気密封止キャップ形成フロー

低損失 MEMS LC 共振器と RF 回路との集積化

Low-loss MEMS LC Resonator and Its Integration with an RF Circuit NTT¹, NTT AT² ○桑原 啓¹, 佐藤 昇男¹, 森村 浩季¹, 小舘 淳一¹, 石井 仁¹, 亀井 敏和², 町田 克之², 佐藤 康博¹ NTT¹, NTT AT² ○K. Kuwabara¹, N. Sato¹, H. Morimura¹, J. Kodate¹, H. Ishii¹, T. Kamei, K. Machida², Y. Sato¹ k-kuwa@aecl.ntt.co.jp

はじめに:複数の通信方式に対応可能な次世代無線端末の実現に向け、RF回路と高性能な受動素子の集積化が求められている[1]。この要求に応 えるため、我々は CMOS LSI 上への RF MEMS 素子の集積化技術について検討を進めている[2]。CMOS LSI 上に形成した RF MEMS 素子にお いては、電界や磁界を介して低抵抗な CMOS 基板と電気的に結合することにより、損失が増大するという問題がある。本発表では、CMOS 基板 の影響を低減可能な MEMS インダクタ及び可変容量から構成される MEMS LC 共振器と、RF回路との集積化について検討した結果を報告する。

実 験:金めっきと有機樹脂犠牲膜を用いた積層プロセスにより、CMOS LSI
 上に基板から離間したインダクタ及び可変容量を形成し、STP 技術[3]を用いて
 封止した[図 1(a)]。また、これらの素子より構成した MEMS LC 共振器を用い
 て VCO 回路を作製した[図 1(b)]。

結果: MEMS インダクタ及び MEMS 可変容量の電気特性を測定し、損失及 び寄生容量が低減されていることを確認した。また、VCOの発振動作及び周波 数制御動作を達成し、RF 回路との集積化を実現した。

C. T.-C. Nguyen *et al.*, Proc. IEEE, 86 (1998) 1756.
 K. Kuwabara *et al.*, IEDM, 735 (2006).
 K. Machida *et al.*, J. Vac. Sci. Technol. B, 16 (1998) 1093.



図 1. (a)MEMS LC 共振器の構造と(b)MEMS-VCO の回路図

LSI への単結晶シリコン貼り付けによる RF MEMS スイッチの作製法 Fabrication Method of RF MEMS Switches by Bonding Single Crystal Silicon on LSI 東北大学大学院工学研究科ナノメカニクス専攻 中村 慎吾, 江刺 正喜, 田中 秀治 Department of Nanomechanics, Tohoku University Shingo Nakamura, Masayoshi Esashi, Shuji Tanaka shingo-n@mems.mech.tohoku.ac.jp

コグニティブ無線の実現に向けて、多様な周波数領域で使用できる小形のチューナブル無線システムが求められている. RF 回路のワンチップ化が可能な最先端の RF CMOS に、RF MEMS スイッチや MEMS 可変容量をモノリシックに集積化することができれば、ワンチップチューナブル無線システムを作製できる可能性がある.本研究では、LSIと RF MEMS スイッチとをモノ

リシック集積化する方法として、樹脂を用いてLSI 基板と SOIウェハとを200°C程度で接合し、SOIウェハのハン ドル層と埋込酸化層とを除去した後、単結晶シリコンの デバイス層を用いてMEMSを作製するプロセスを開発し た.作製プロセスを図1に簡略化して示す.これによって、 高温プロセスや複雑な応力制御などのプロセスを通すこ となく、機械特性に優れる単結晶シリコンの微細構造体 を、LSIの直上に容易に作製できる.試作した静電駆動 RF MEMSスイッチの電子顕微鏡像を図2に、スイッチを 駆動させた際の走査型レーザ干渉計による測定結果を 図3に示す.試作デバイスには上部金属電極の応力に よる上向き約4µmの反りがあるが、8Vでのプルインが 確認された.上部金属電極の応力制御によってLSIの 電源電圧での駆動も可能であると考えられる.



Metal anchor

1000

MEMSデバイスのパッケージングにおける保護・封止技術の検討

Novel Encapsulation Technology for Protecting Movable Parts with MEMS Devices.

ミスズ工業 1, NTT-AT2, NTT3, 東京大学 4 〇真弓功人 1 千野 満 1, 田澤 浩 1, 島田照男 1, 亀井敏和 2, 矢野正樹 2, 町田克之 2,

佐藤昇男3,桑原 啓3,石井 仁3, 日暮栄治4

Misuzu Industries Co. 1, NTT Advanced Technology2, NTT Microsystem Integration Laboratories3, The University of Tokyo4 N. Mayumi1, M. Chino1, H. Tazawa1, T. Shimada1, T. Kamei2, M. Yano2, K. Machida2, N. Sato3, K. Kuwabara3, H. Ishii3 and E. Higurashi4 mayumi-naruto@miszu.co.jp

はじめに:MEMSのパッケージングにおいて、生産性の向上と低コスト化の実現のために新たなMEMS微小可動部の保護技術の確立が求められている。我々はICEP2008 において、有機材料を用いてスクリーン印刷法で形成した枠とSTP(Spin coating film Transfer and hot-Pressing)法 1)で形成した保護膜とから構成するカプセル構造(図)を提案し、MEMS微小可動部の保護・封



止技術の検討を行なった 2)。実 験: MEMSデバイスのパッケージングにおける既存の保護・封止技術の調査を行ない、新たな保護・封止技術とし て本技術との比較検討を行なった。本技術の要素技術として、枠形成工程におけるスクリーン印刷法の適用、および保護膜形成工程へのSTP法の 適用を検討した。結果:スクリーン印刷法で枠形成の可能性が確認できた。STP法による保護膜は1×1mm²の空間領域の中空封止を可能とし、枠 と保護膜の界面接着強度は12MPaであった。結果として、本技術の有効性を確認した。

1) K. Machida, H. Kyuragi, H. Akiya, K. Imai, A. Tounai, and A. Nakashima: J. Vac. Sci. & Technol. B 16 (1998) 1093.

2) M. Chino et al., Proceedings of International Conference on Electronics Packaging, (2008), pp. 335-340.

集積化 CMOS-MEMS に向けた MEMS 可動構造の位置制御容量検出手法

Capacitive Sensing Scheme for Position Control of MEMS Movable Structure in Integrated CMOS-MEMS NTT マイクロシステムインテグレーション研究所¹、NTT アドバンステクノロジ(株)² 〇島村俊重¹,森村浩季¹、桑原啓¹、佐藤昇男¹、町田克之² NTT Microsystem Integration Labs.¹, NTT Advanced Technology Corp.², OT. Shimamura¹, H. Morimura¹, K. Kuwabara¹, N. Sato¹, K. Machida² tshima@aecl.ntt.co.jp

【はじめに】RF-MEMS や光スイッチなどの MEMS 可動構造と CMOS LSI を一体化した集積化 CMOS-MEMS は MEMS の高機能化にとって重要である[1]。 可動部を有する MEMS 構造の位置制御には LSI による容量検出技術が有効である。MEMS 可変容量を LSI に積層した場合の位置検出方式の概念図を

図1に示す。可動部の位置検出のために、検出電極の容量 C_sを検出する。この場合、検出電極にはLSI 配線との間の寄生容量 C_pが発生し、C_sの検出精度が劣化してしまう。我々は検出電極の下にシールド電極を配置し、シールド 電極の寄生容量を利用して微小容量を高感度に検出する容量検出手法を提 案する。

【実験】0.6-µm CMOS/MEMS プロセスを用いて MEMS 可変容量と容量センサ 回路を集積化し、提案手法を評価した。試作したチップの写真を図2に示す。 【結果】CMOS 上に集積化した MEMS 可変容量の動作とそれに対応した容量セ ンサ回路の動作を確認した。これにより、提案手法の有効性を確認した。 [1] K. Kuwabara, et al., JJAP, vol.45, pp.6849-6853, 2006.



図1 位置検出方式の概念図

図2 試作チップ写真

コンビナトリアル技術と集積化MEMS

Combinatorial Technology for Integrated MEMS東京工業大学 精密工学研究所¹,東京工業大学 総合理工学研究科²○秦 誠一¹,青野 祐子²,桜井 淳平¹P&I, Tokyo Tech¹, Tokyo Tech²,
shata@pi.titech.ac.jp○Seiichi Hata¹, Yuko Aono² and Junpei Sakurai¹

はじめに:集積化MEMSにおいては、従来のMEMSに比べ、より多様な異種の要素が集積される.様々な異 種要素に、それぞれ目的の機能を実現させるためには、最適な材料の選択、および加工性、耐食性を考慮したプ ロセスの最適化が必要となるが、そのためには、多くの試行錯誤を必要とする.組み合わせによる集積化された サンプル群の製作と、その高スループット評価からなるコンビナトリアル技術は、そのような試行錯誤を省力化、 効率化することに貢献する.

実 験:筆者らの開発したCAPD(Combinatorial arc plasma deposition)は、蒸着源にアークプラズマガン を用い、組成傾斜膜を基板上に成膜することができる.基板には、この組成傾斜膜をグリッド状に切り分け、位 置情報を付加するためにリフトオフ犠牲層が構成されている.成膜後、犠牲層をアセトンにより除去することで、 図1に示す集積化された薄膜サンプル群(薄膜ライブラリ)を製作することができる.この薄膜ライブラリを既 存および新規の測定・評価方法により評価することで、目的とする材料の探索を効率的に行うことができる.

結果:当日の発表では,薄膜金属ガラスを中心とした新しいMEMS材料の探索事例および新しい結晶化開始 温度のコンビナトリアル評価法について発表する.



Deposited material (sample) 図1 薄膜ライブラリ

MEMS デバイスのための微小構造部材—基板間のはく離強度に関する研究 A Study of Adhesive Strength between Micro-sized Components and a Si Substrate for MEMS Devices 東京工業大学 精密工学研究所 O石山 千恵美¹, 柴田 曉伸², 曽根 正人³, 肥後 矢吉⁴ P&I, Tokyo Tech¹⁻⁴, OChiemi Ishiyama¹, Akinobu Shibata², Masato Sone³, Yakichi Higo⁴ cishiyam@pi.titech.ac.jp

実 験:シリコン基板上にエポキシ系厚膜レジスト、SU-8 (SU-8 3050 化薬マイクロケム社製)を用いて、直径 125μm,長さ(膜厚)71~110μm (ア スペクト比 0.6~0.9)の円柱試験片をリソグラフィで複数作製した。この試験片を用いて、我々が以前に開発した微小材料試験機によるはく離試 験を行った。試験条件は、円柱末端に荷重を負荷する曲げモードで、18μm/minの一定変位速度試験であった。

結果: SU-8 微小円柱試験片のはく離曲げ強度試験結果を、破壊時の円柱試験片根元での最大曲げモーメントで比較したところ、本試験片のア スペクト比の範囲においては、試験片のアスペクト比の上昇に伴って最大曲げモーメントが上昇することが明らかとなった。一方、アスペクト比 が変化しても最大曲げ荷重、すなわちはく離時のせん断応力がほぼ一定であった。以上の結果より、本実験のアスペクト比の範囲でははく離がせ ん断によるものである可能性が示された。

[1] C. Ishiyama et al. Key Engineering Materials, Vols. 345-346, pp 1185-1188 (2007)

SOI-MEMS 構造への C₆₀ ナノワイヤの集積化及び静電容量型引張試験デバイスの製作

Fabrication of electrostatic device for tensile testing of fullerene nanowire integrated on SOI structure

京都大学 工学研究科, 〇浦 靖武, 菅野 公二, 土屋 智由, 田畑 修

Department of Engineering, Kyoto University OYasutake Ura, Koji Sugano, Toshiyuki Tsutiya, Osamu Tabata ura@nms.me.kyoto-u.ac.jp

はじめに: CNT や C₆₀に代表される、カーボンナノ材料はその優れた機械的、電気的特性のため様々な分野での応用 が期待されており、そのため種々の材料試験が行われてきたが[1]、詳細なデータを得るまでには至っていない。そ こで本研究では、SOI-MEMS 静電容量型デバイスを用いた nm, nN オーダの分解能の引張試験を目的とし、電子ビー ム (EB) 照射による C₆₀のポリマー化を利用した C₆₀ナノワイヤを集積化した引張試験デバイスの製作を行った。 実 験: C₆₀ワイヤを引張試験デバイス上に集積化するプロセスを Fig.1 に示す。Fig.1 b)において真空蒸着された C₆₀ は厚さ約 40nm である。Fig.1 c)では蒸着した C₆₀ 上に、EB をワイヤ形状に約 48000 μ m/cm²の強度で描画しポリマー 化させた後、EB 未照射部分をトルエン溶液で除去することでパターニングを行った。Fig.1 f)ではパターニングした C₆₀ワイヤのリリースに XeF₂ガスによる Si のパルスエッチングを用いた。Fig.1 g)においては、XeF₂ガスで硬化した レジスト表面部分を除去するため、アセトンと硫酸過水を併用した。

結 果:上記プロセスの結果、長さ約 28 µm、幅約 3 µm、厚さ約 40nm の C₆₀ ワイヤの両持ち梁構造を、引張試験デバ イス上に製作することに成功した(Fig.2)。現在、製作した C₆₀ ワイヤの引張試験にむけて引張試験デバイスの評価 中である。

[1] Y. Isono, et al., Proc. MEMS 2005, pp. 883-886.



Fig.2 C₆₀ wire on tensile testing device

機能積層型の集積化DNA解析チップの作製

Development of Integrated DNA Analysis Chip with Stacked Function Structure 兵庫県立大 高度産業科学技術研究所¹ 大向 智也¹, 福岡 大翼¹,内海 裕一¹ Laboratory of Advanced Science and Technology for Industry, Tomoya Omukai ¹, Daisuke Fukuoka ¹, Yuichi Utsumi ¹ tomoya@lasti.u-hyogo.ac.jp

はじめに:近年、DNA 鎖長解析操作にマイクロチップ電気泳動(MCE: Microchip Electrophoresis) が利用され、反応や操作の短時間化・高効率化、装置の小型化、省試薬等の利点を得ることに成功 している。しかし、一般的なマイクロチップ材料はガラスであり、材料・加工コストが高いのみな らず、機能の集積化の点で制約がある。そこで、本研究では材料に PMMA を用い、1パターン当 たりの領域を 9mm×9mm と小さくしたポリメラーゼ連鎖反応(PCR)用の反応器とキャピラリー電気泳 動流路からなるDNA分離ユニットを96個アレイ化した化学操作板と、PCR で必要となる熱サイクルを制御 する熱交換器とを積層した、機能積層型の DNA 解析チップの開発を行った。

実 験:本稿では流路1パターン当たり9mm×9mmとしたため、流路を蛇行させる必要がある。し

作製した 96 検体 DNA 解析チップ

かし、流路を蛇行させることによって DNA サンプルの分離分解能は低下するため、流路幅を流体進行方向に沿って変化させてその低下を抑制した。流路形状の最適化は電気泳動シミュレーションを持いて行った。チップ構造体は成型で作製したが、96 穴マイクロタイタープレートフォーマット 金型のマスターは、新規開発の大面積 LIGA プロセスにより作製した。その後化学操作板を樹脂成型し、無接着剤直接接合により封止した 3 次元積層構造 DNA 解析チップを作製した。

DNA分離能の評価:作製したDNA解析チップを図に示す。この作製したチップの1分離ユニットを使用して100~1000bpのDNA鎖長解析を 行った所、市販のキャピラリー電気泳動チップを使用した場合と同様のピークが検出された^[1]。PCR反応と組み合わせることによって多検体のDNAサンプルを高速で解析可能なチップの実現が期待できる。

[1]Y.Utsumi, "Stacked structure of PMMA microchannels for DNA separation fabricated by deep X-ray lithography and fusion bonding", Mikro Total Analysis System 2007, Vol.2 p.1161-1162, 2007.



SOI CMOS-MEMS における MEMS ポストプロセスの信頼性評価

Reliability evaluation of MEMS post-process in SOI CMOS-MEMS integration 東京大学 生産技術研究所 O髙橋 一浩,藤田 博之,年吉 洋 IIS, University of Tokyo OKazuhiro Takahashi, Hiroyuki Fujita, Hiroshi Toshiyoshi johnny@jis.u-tokyo.ac.jp

MEMS(Micro Electro Mechanical Systems)技術は、半導体微細加工を応用して、微小な機械構造を作製する技術であり、その利点は、ひとつの基板上に複数の機能(センサ、アクチュエータ、回路など)を集積化することにある。工業的には、MEMS は高付加価値を生む集積化 MEMS(CMOS-MEMS)技術として、LSI 分野からも注目を 集めている。ところが、LSI と異なり機械構造強度・耐久性を考慮した設計が必要な MEMS においては設計法と製作法の体系化と標準化が遅れていることが問題である。 そこで、本研究では駆動回路を作製した SOI (Silicon on Insulator)ウエハに、ポストプ ロセスによって MEMS アクチュエータを集積化する方法を提案し[1]、集積化 MEMS の基盤技術作りを目指している。本発表ではそのプロセス信頼性について報告する。

MEMS ポストプロセスが LSI に与える影響を回路素子レベルで調べるため、トランジスタのサブスレッショルド特性の測定を行った。MEMS ポストプロセスを想定し、各サンプルに対して(1)アクチュエータ作製時の DRIE プロセス、(2)有機物を除



図1 プラズマプロセス前後の Id-Vg 特性及び S値

去するためのプラズマアッシング、(3)層間絶縁膜やBOX等シリコン酸化膜をエッチングする際のRIEプロセスを行った。

DRIE プロセス前後のトランジスタの Id-Vg 特性と、各プラズマプロセス前後における S 値を図に示す。プラズマを照射する前と後のトランジスタ Id-Vg 特性(サブスレッショルド係数 S および閾値)から、スイッチング特性に変化は見られなかった。これはすなわち、ゲート絶縁膜中や絶縁膜の界面準位にはプラズマによる影響はないと考えられる。

[1]K. Takahashi et al., Transducers'05, June 5-9, 2005, Seoul, Korea, pp. 417-420.

柔かいシリコンマイクロ構造物とその神経信号解析への応用

Flexible Silicon Micro Structure and Its Application to Neuron Signal Analysis 東京大学工学部 先端知機能材料デバイスラボラトリーズ **〇金** 俊亨, **久保田 正則**, 肥後 昭男, 三田 吉郎 AIMD, University of Tokyo, OJunHyoung Kim, Masanori Kubota, Akio Higo, Yoshio Mita mems@if.t.u-tokyo.ac.jp

生物の中で神経信号がどのように伝播されるかを MEMS 技術を用いて解析しようとする研究 には様々なアプローチが存在する。それらの研究では一般に、ニューロンを1次元の線として 近似し、神経網(1次元ネットワーク)の中で信号がどのように広がるのかを調べることに注 目している[1]。しかしニューロンの中を信号が伝わる機構は本来複雑である。

ここで我々はニューロン1本を3次元的に捕らえ、複数の神経束ではなく、1本の軸索の中 で信号がどのように伝播して行くのかを3次元的に解析しようと試みている。そのために極細 (数十µm~)の軸索の周りを巻いて、軸索表面の電位分布を調べるデバイスを考案、作製し た(Fig1)。基本的な発想はシリコンを基板として、複数のトレンチを作り、それをパリレン で繋ぐことである。シリコンが残っている部分は硬いが、トレンチのところは柔らかいので、 巨視的に見れば柔らかい曲がるデバイスを作ることができた。そして軸索のイオン交換を妨げ ないように、電極をピラミッド状にしてデバイスと軸索の間の間隔を空けるようにした。



Fig1. 曲がる神経電位測定電極

[1] J.Aziz, et al., "Brain-Silicon interface for high-resolution in vitro neural recording", IEEE Trans. Biomed. Eng, vol. 1, pp56, 2007