



「GaN パワーデバイスの進展と課題」

◇ 日時: 2019年7月30日(火) 13:00~17:40

◇ 場所: 名古屋大学東山キャンパス 理学南館 坂田・平田ホール

<http://www.nagoya-u.ac.jp/access-map/higashiyama/congre.html> (マップ中 D2⑦)

GaNはSiCと並びSiの次の世代を担うパワーデバイス用材料として注目を集めている。Si基板上AlGaN/GaN HEMT横型パワーデバイスは量産が始まっており、ゲート駆動回路の工夫や表面実装技術を駆使しての高速スイッチング向けの用途拡大が期待されている。また、GaN基板を用いたデバイスに関しては、結晶成長・プロセス技術が進展し、デバイス試作による検証が進むなど、パワーデバイス実用化に向けてそのポテンシャルが示されつつある。本研究会ではパワーデバイスとしてのGaNを取り上げ、横型・縦型、およびSi基板上・GaN基板上デバイスに関して、結晶成長技術、プロセス技術、デバイス技術から回路応用について各分野の専門家にご報告頂き、この分野の最近の進展と今後の課題について広く議論する。

..... プログラム

開会のあいさつ **13:00~13:10**

HVPE 法による GaN バルク・エピ成長技術の進展 **13:10~13:45**
藤倉 序章 氏 (サイオクス)

本報では、当社 SCIOCS でこれまで開発してきた、HVPE 法による GaN バルク成長技術の最近の進展と、HVPE 成長技術を GaN on GaN 縦型パワーデバイス用のドリフト層エピの成長に適用した最新の成果について概説する。GaN バルク成長においては、HVPE 成長条件を適切に制御することで、GaN 結晶の硬さを増大させ、マクロ欠陥の無い GaN バルク結晶を従来の限界を超えた厚さ(>6mm)で成長することに成功している。本技術により、GaN バルク成長の諸課題、①コスト、②転位密度、③オフ角分布、④大口径化(と低オフ角分布の両立)等の解決が可能となる。また、GaN on GaN エピ成長に、石英フリー化した HVPE 装置を用いることで、GaN 結晶中の C のみならず Si および O 濃度を大幅に低減し、残留不純物濃度が $10^{14}/\text{cm}^3$ 台以下の高純度 GaN エピ層の高速成長にも成功している。

GaN 縦型デバイスプロセスの進展 **13:45~14:20**
加地 徹 先生 (名古屋大学)

GaN 縦型デバイスは数年前に 1kV を越えるデバイスが報告され、高耐圧デバイスとしてのポテンシャルを検証するフェイズはすでに終了した。そして近年は、実用化に向けデバイス構造を設計するとともに、作製プロセスを構築するフェイズに入っている。そこで、本講演では、現在開発を進めているトレンチ MOSFET のプロセス技術の最近の進展を紹介する。開発しているプロセス技術としては次のものがある。1. 結晶成長技術: 低濃度 n 型、p 型ドーピング制御、2. トレンチ形成技術: 低ダメージドライエッチング技術、3. イオン注入技術: Mg イオン注入と活性化、4. ゲート絶縁膜形成技術: AlSiO 膜。これらの技術はトレンチ MOSFET のプロセスにのみ適用されるものではなく、プレーナゲート MOSFET、JBS(Junction Barrier Schottky)構造ダイオードなどにも広く適用できる技術である。

イオン注入を用いた GaN 縦型デバイスの開発 **14:20~14:55**
上野 勝典 氏 (富士電機)

近年、GaN 単結晶基板とその上のエピ成長技術が進展し、これを用いてパワーデバイスの試みがなされている。GaN の最大電界強度は最低でも SiC 並みの大きさが確認されつつあり、今後さらなる結晶技術やプロセス技術の進展により次世代のパワーデバイスが期待される。基本的な要素技術の中で、将来の微細化による特性制御や特性改善、低コストプロセスの実現のために、イオン注入技術は避けて通れない。これまでの検討では、イオン注入を用いて N 型形成は可能だが、P 型形成に問題があった。そのため、デバイス作成における接合形成はエピ成長によるしかなかった。近年、水素などの共注入やアニール方法など、注入欠陥を減らす工夫がなされて、少しずつその可能性が開けつつある。本発表では、特に P 型形成におけるイオン注入技術について、我々のこれまで検討してきたアニール技術、MOSFET への適用について報告する。また、その技術を用い、P 型エピを用いずに縦型デバイスを試作した例について報告する。まだ課題は多いものの、将来の実用可能なデバイス・プロセスとして期待される。

大電力・高速動作に向けた GaN 基板上 GaN パワーデバイスの開発

14:55~15:30

柴田 大輔 氏 (パナソニック)

本稿では、GaN 基板上 GaN パワーデバイスに関する最近の取組みについて紹介する。はじめに GaN 基板上縦型 GaN トランジスタについて述べる。ドリフト層上に形成された V 字状溝側壁部の半極性面上に p-GaN/AlGaIn/GaN 層を再成長させることで、2.5V という高い閾値電圧を維持しながら、 $1.0 \text{ m}\Omega\text{cm}^2$ の低いオン抵抗と 1.7kV の高いオフ耐圧を実現した。作製した大面積デバイスを用いて 400V / 15A のスイッチング動作を実証した。次に、Si 基板上横型 GaN トランジスタの技術を展開した GaN 基板上横型 GaN トランジスタの開発状況について紹介する。GaN エピ層の低転位化により 2 次元電子ガスの移動度が向上し、Si 基板上と比較して約 30% のオン抵抗低減が得られた。また、バッファ層の厚膜化により出力容量を低減し、スイッチング性能指標の一つであるオン抵抗 (Ron) × 出力電荷 (Qoss) は従来 Si 基板上デバイスの 1/3 という非常に小さい値を実現した。

休憩 15:30~15:50

GaN/Si パワーデバイスの最近の動向

15:50~16:25

江川 孝志 先生 (名古屋工業大学)

地球温暖化が大きな課題になっており、持続可能な省エネ社会を実現するには、電力の有効利用が重要となっている。このような喫緊の課題解決に向け、ワイドバンドギャップの GaN や SiC が大きな注目を集めている。Si 基板上の AlGaIn/GaN HEMT 構造では、そのヘテロ界面に形成される 2DEG を利用することにより、基板と平行に電流を流す横型 GaN 系パワーデバイスとして低コストで大口径化が可能であり、200 V 帯及び 600 V 帯の民生用パワーエレクトロニクス用途としてサンプル出荷されている。一方、大電流・高耐圧デバイスとしては、基板に垂直に電流を流す縦型デバイスが有利であるため、GaN 基板の研究が行われている。また、最近、Si は導電性であるという利点を生かして、Si 基板上の縦型 GaN p-n ダイオードや MOSFET が報告されている。本講演では、大口径 Si 基板上の横型 AlGaIn/GaN HEMT に関する量産化技術及び Si 基板上の縦型 GaN 系パワーデバイスの最近の動向について概説する。

Si 基板上横型 GaN MOS-HFET の HTRB 特性

16:25~17:00

星 真一 氏 (デンソー)

我々が提案してきた GaN MOS-HFET は、ターンオフの逆バイアス時に印加されるゲート MOS 電界を 1/3 に大幅に低減させ、MOS の信頼性を向上できる。これは MOS ゲートとドレイン電極間に設置した JFET によって MOS に印加する電界を遮断した効果である。本稿では、提案構造が、従来の GaN MOS-HFET と比較して、高温逆バイアス (HTRB) 特性を大幅に改善できることを報告する。この構造で作製した飽和電流 60A を超える GaN-MOS-HFET において、 $110 \text{ m}\Omega$ の低抵抗と $\text{Tr}/\text{Tf} = 5.1/6.5 \text{ nsec}$ の良好な SW 特性、および十分な HTRB 信頼性特性の両立ができた。

GaN パワー半導体の車載応用の適材適所と航空機応用への可能性

17:00~17:35

山本 真義 先生 (名古屋大学)

本稿は、SiC パワー半導体と縦型 GaN パワー半導体の価格が同等となったと仮定し、その状況における応用分野の棲み分け、並びに今後新しく立ち上がる大きな市場を持つ応用分野を明記する。縦型 GaN パワー半導体の出現はこれまでの横型 GaN パワー半導体に対して特に定格電流の増加を実現する。しかしながら、入力容量を大幅に削減可能な横型パワー半導体構造に対して、縦型化することで縦型 GaN パワー半導体はスイッチングスピードについてはその性能を譲ることになる。これらの性能を鑑み、本稿では GaN パワー半導体は航空機電動化へ向けた研究開発を行うべきであると提言を行うものである。

閉会のあいさつ

17:35~17:40

.....

■参加受付: WEB 参加受付システム ([ここをクリック*](#)) から参加登録をお願いします。7月19日(金)の登録状況でテキスト印刷部数を決定しますので、以後の登録ではテキストを当日お渡しできない可能性があります。

*本案内が印刷物の場合、<http://annex.jsap.or.jp/adps/pdf/kenkyuukai15.pdf> よりアクセスして下さい。

■参加費: (テキスト代・消費税込) 当日会場にてお支払いください。

先進パワー半導体分科会会員* 2,000 円、分科会学生会員 1,000 円、一般 4,000 円、一般学生 1,000 円

*先進パワー半導体分科会賛助会員所属の方は先進パワー半導体分科会会員扱いとします。

問合せ先:

須田 淳 (名古屋大学)

TEL: 052-559-9670

e-mail: suda@nagoya-u.jp

中澤 敏志 (パナソニック)

TEL: 075-956-9055

e-mail: nakazawa.s@jp.panasonic.com

岡 徹 (豊田合成)

TEL: 052-449-5790

e-mail: toru.oka@toyoda-gosei.co.jp

五十嵐 周 (応用物理学会事務局)

TEL: 03-3828-7723

e-mail: igarashi@jsap.or.jp