

量子化磁束動力学シミュレーション研究グループ
2022年 夏のセミナー

磁束量子を情報担体とする 超伝導回路の研究動向

山梨 裕希

横浜国立大学

Sep. 10, 2022

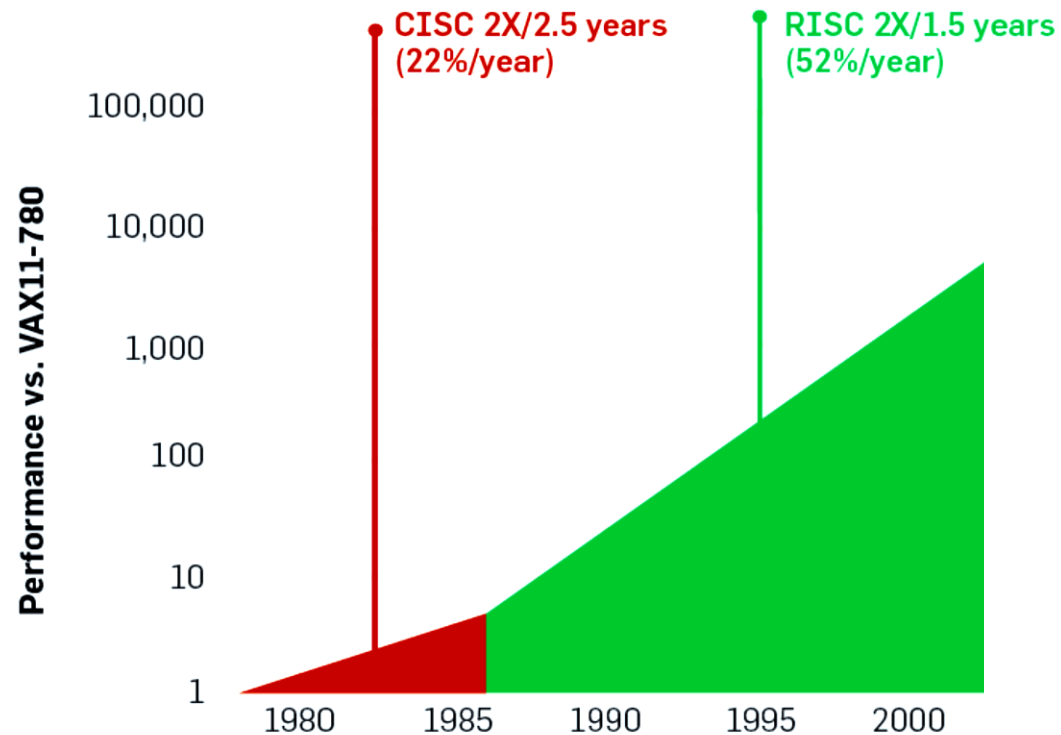
名古屋大学田中雅光助教による2015年IEICE SCE
若手セミナー資料の図面が多く含まれます

本講演の概要

- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

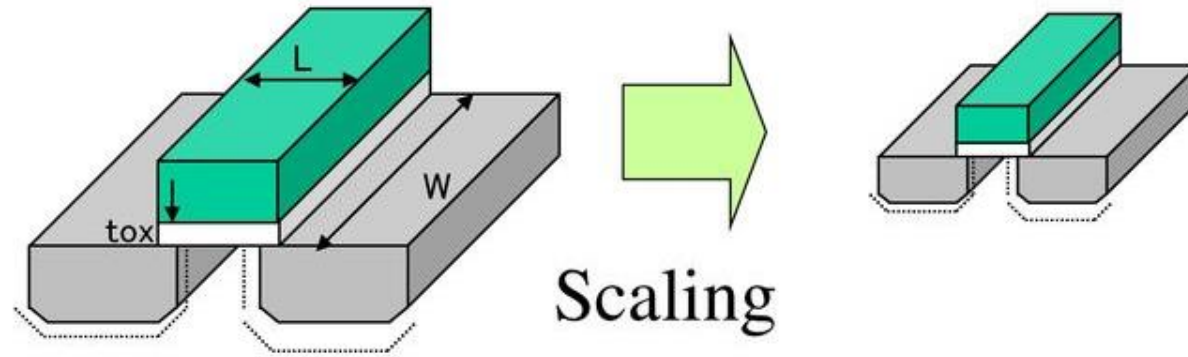
研究の背景

計算機の性能
(1978年比)



Hennessy and Patterson “A New Golden Age for Computer Architecture” *Communications of ACM*, 2019.

Scaling則とMoore則



トランジスタのサイズ (L 、 W 、 t_{ox}) を $1/a$ にすれば

- ・ゲート遅延 $1/a$
- ・電源電圧 $1/a$
- ・電力消費 $1/a^2$

Mooreの法則(経験則):

トランジスタの密度は3年で4倍のペースで増える
「まだ継続中」という人は多いが...

Mooreの法則は本当に続いているのか？

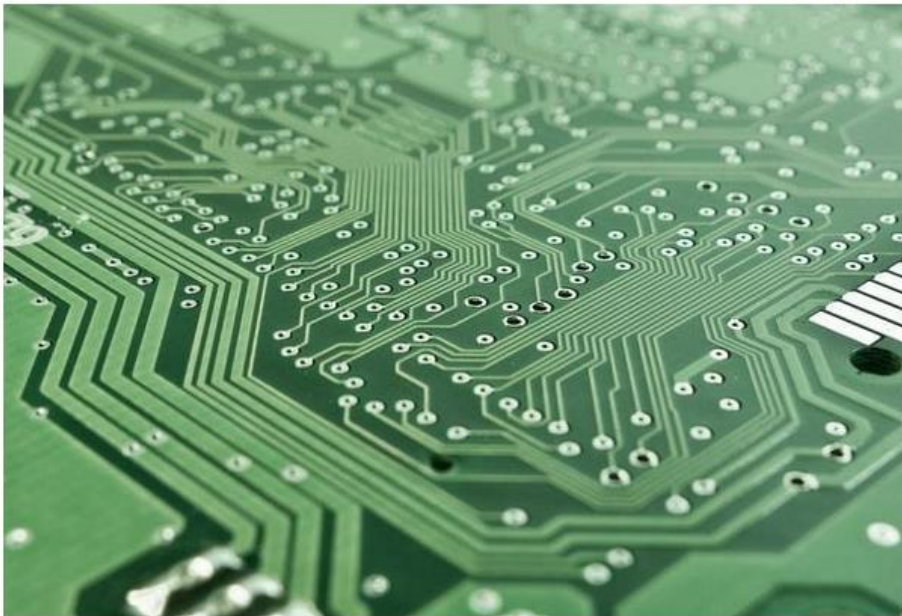
「7nmの半導体」に7nmの箇所はどこにもなかった

半導体のプロセスルールとは一体何か？

2019.9.6 (金) 湯之上 隆, フォロー

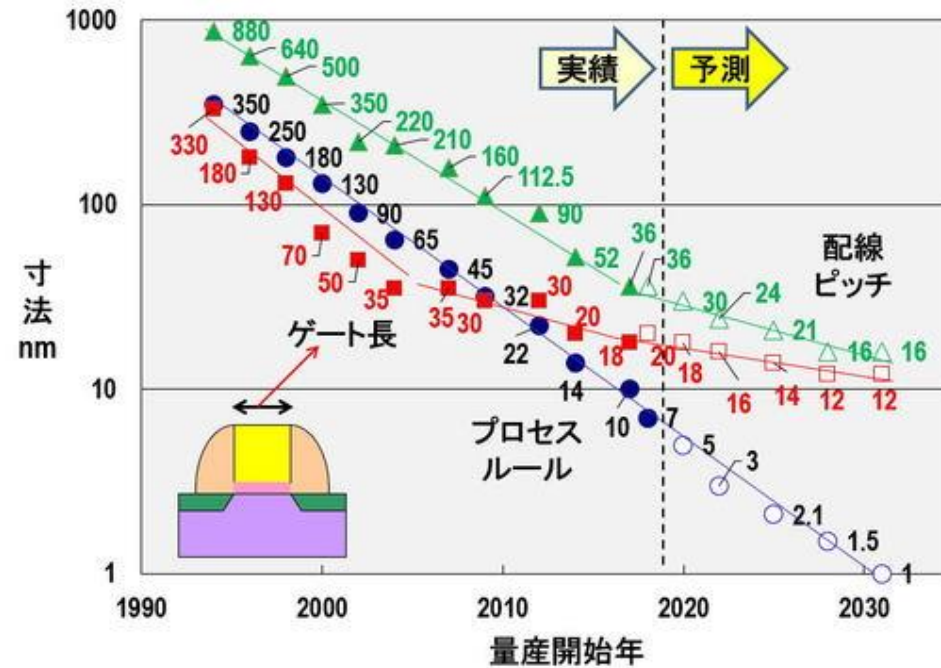
シェア 581 ツイート B!ブックマーク 共有する

1 2 3 4 5



(写真はイメージ)

ギャラリーページへ



「10nmとか7nmというのは、その半導体メーカーが勝手につけた単なる“商品名”のようなものだ」

<https://jbpress.ismedia.jp/articles/-/57517>



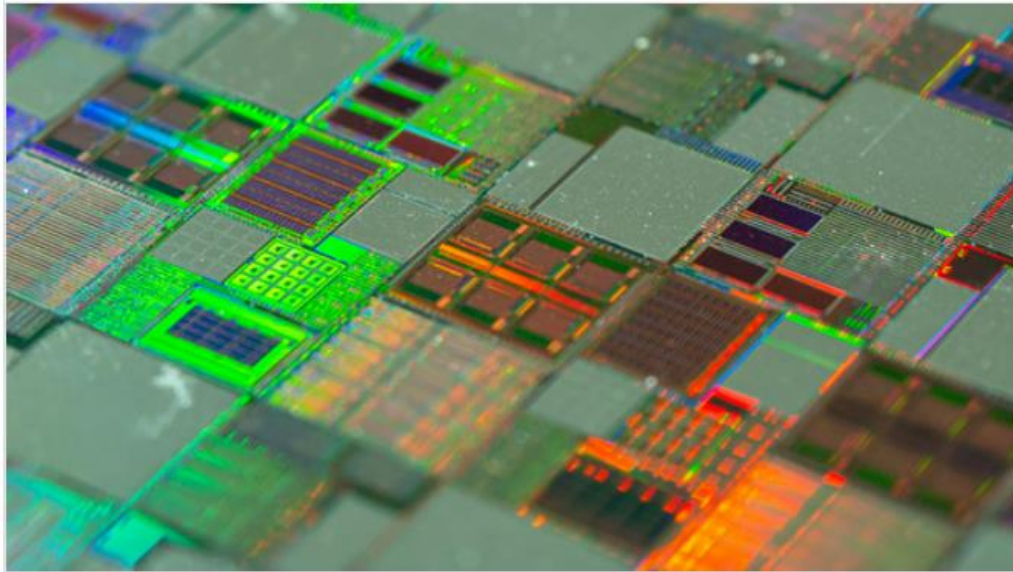
暑さはない。熱さだけが

Meta Quest 2

2022年04月18日 10時50分

ハードウェア

TSMCが3nmプロセスによる量産体制に入ったという報道、2nmプロセスは2025年頃に展開か



Appleと提携して「**Apple Silicon**」シリーズを生産するTSMCが、2022年後半に3nmプロセスであるN3ノードでチップを量産できる体制を整えたと報じられています。またTSMCが2nmプロセスであるN2ノードによる大量生産を2026年までに行うことを明らかにしたとのことです。

Samsung、3nmプロセスでの半導体量産開始 TSMCに先行

© 2022年07月01日 09時18分 公開

[ITmedia]



印刷



119



Share



113



1

PR [Reactの状態管理 | HooksやServer Componentsの登場による変化](#)

PR [ハイブリッドクラウドの運用が複雑化。一元管理する方法は？](#)

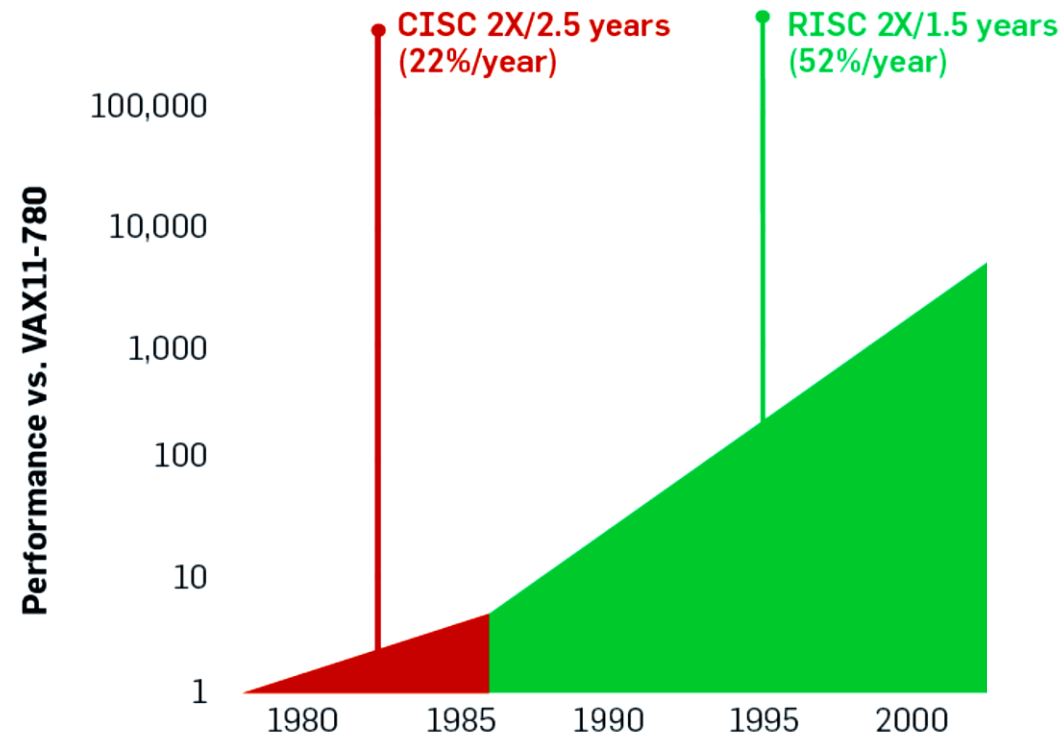
韓国Samsung Electronicsは6月30日（現地時間）、3nm（ナノメートル）プロセスによる半導体の量産を開始したと発表した。世界最大のファウンドリ、台湾TSMCに先行した。



3nmプロセスノードで製造したウエハを掲げるSamsung Foundryの担当者たち（画像：Samsung Electronics）

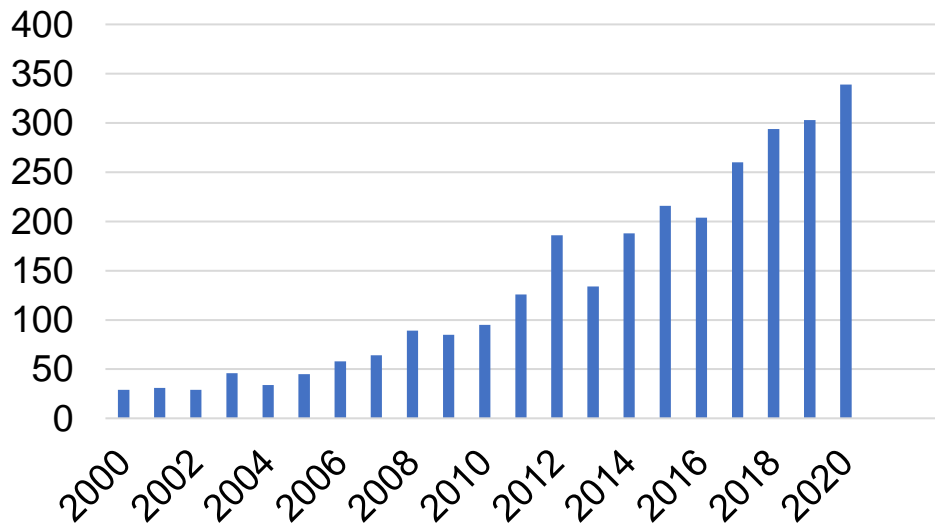
研究の背景

計算機の性能
(1978年比)

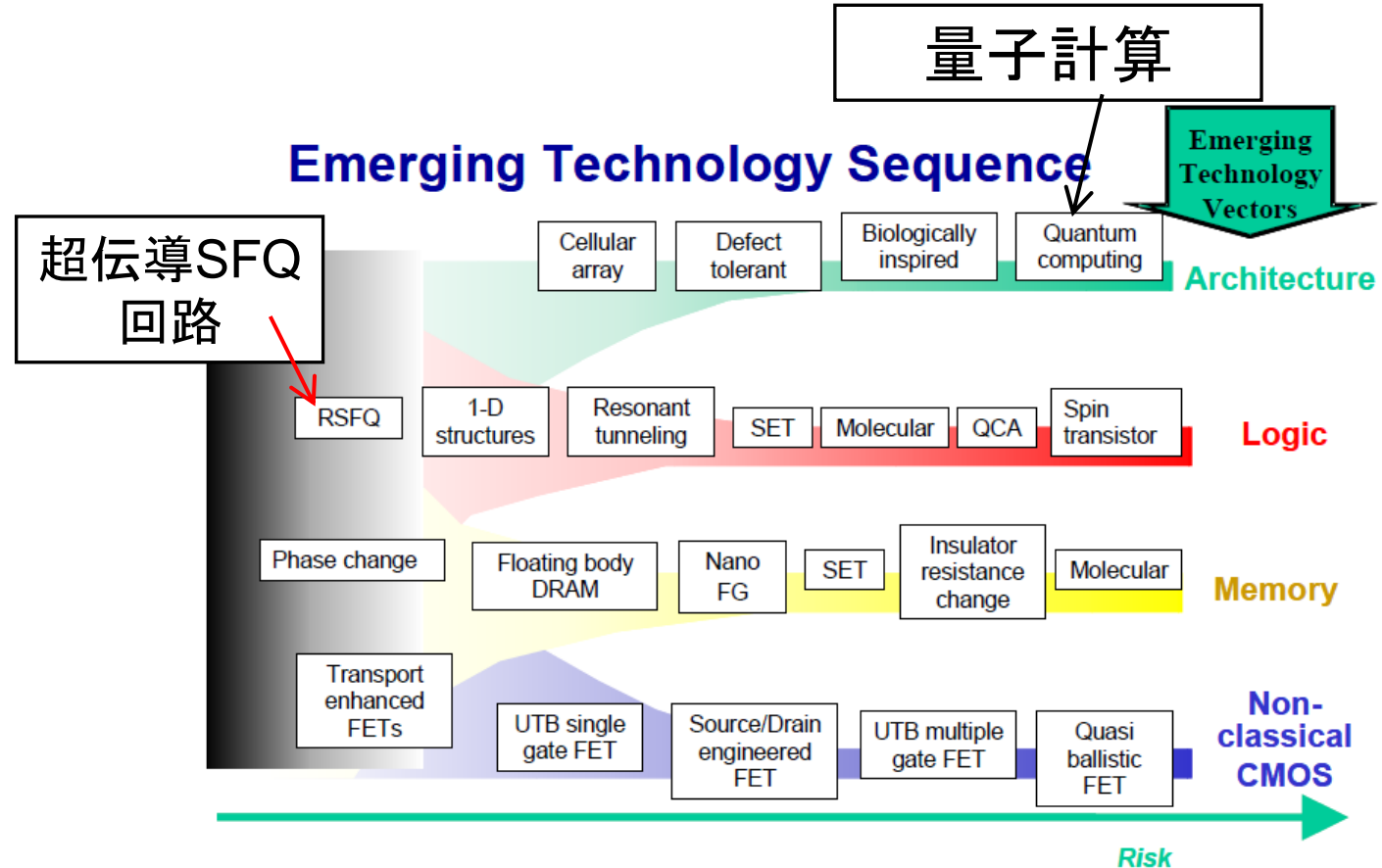


Hennessy and Patterson “A New Golden Age for Computer Architecture” *Communications of ACM*, 2019.

Beyond Mooreアプローチの研究が盛んに



タイトル、概要に「beyond Moore」を含む論文の発表件数の推移

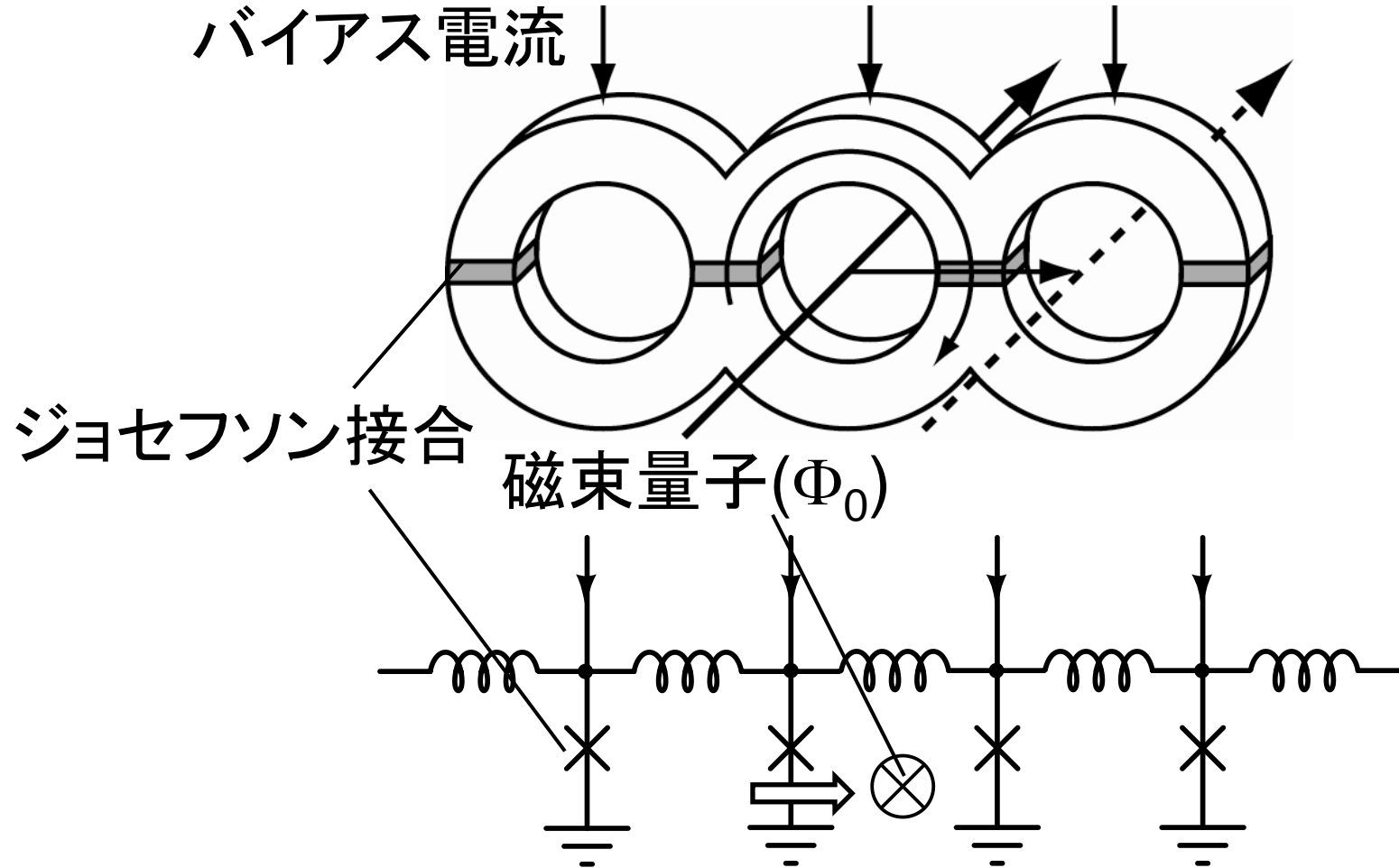


International Technology Roadmap for Semiconductor 2003.

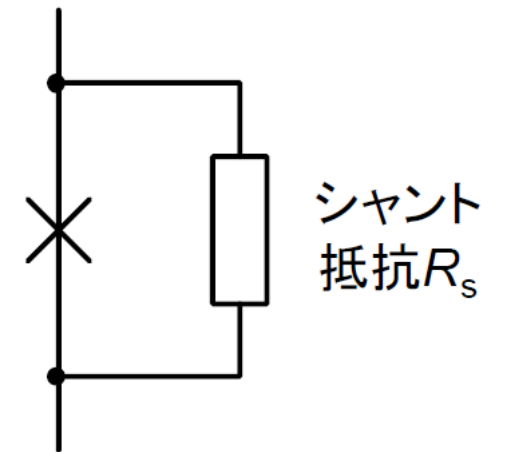
本講演の概要

- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

単一磁束量子 (SFQ) 回路



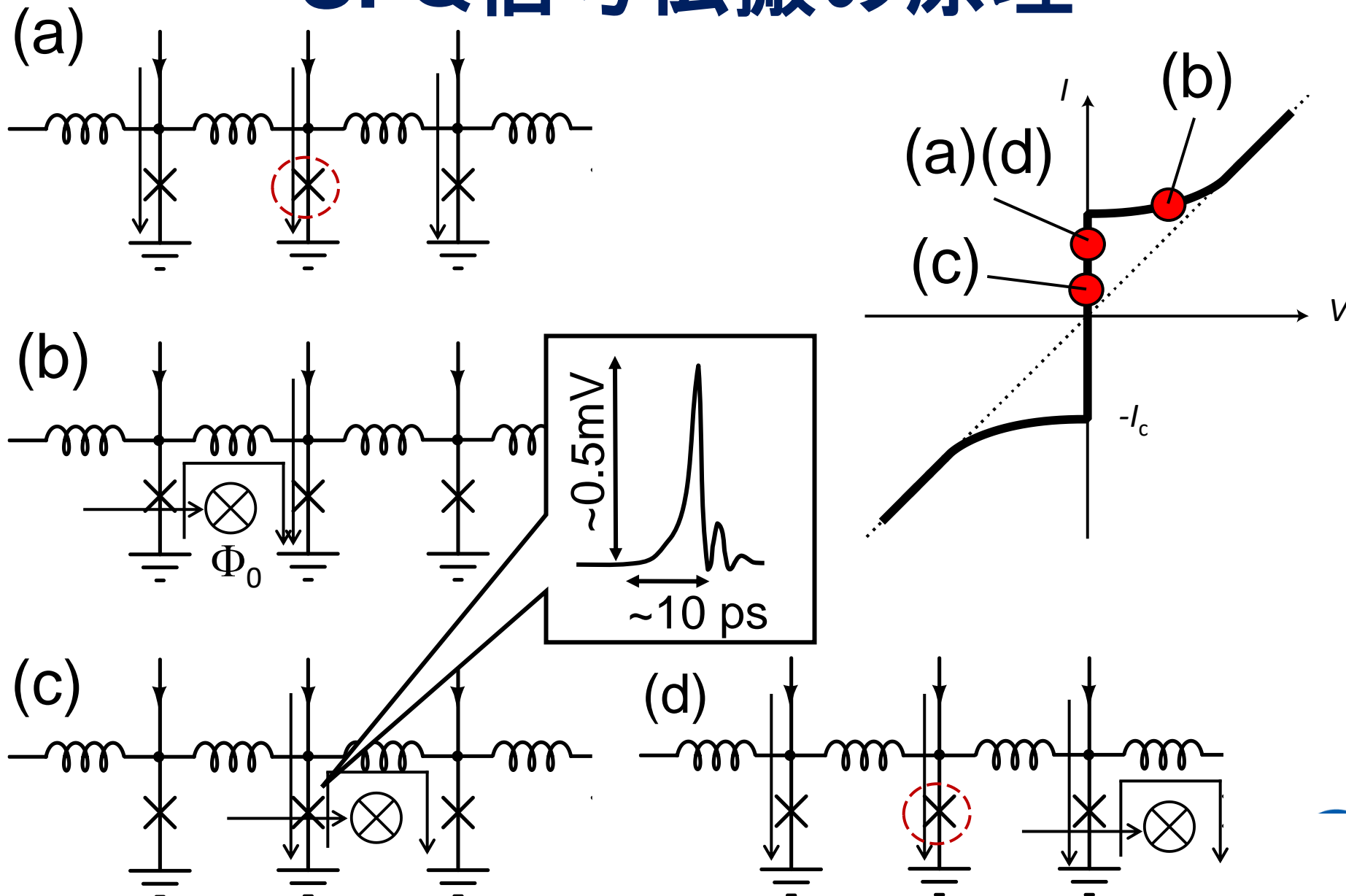
通常、オーバードンプ型の
JJを用いる
シャント抵抗を接続



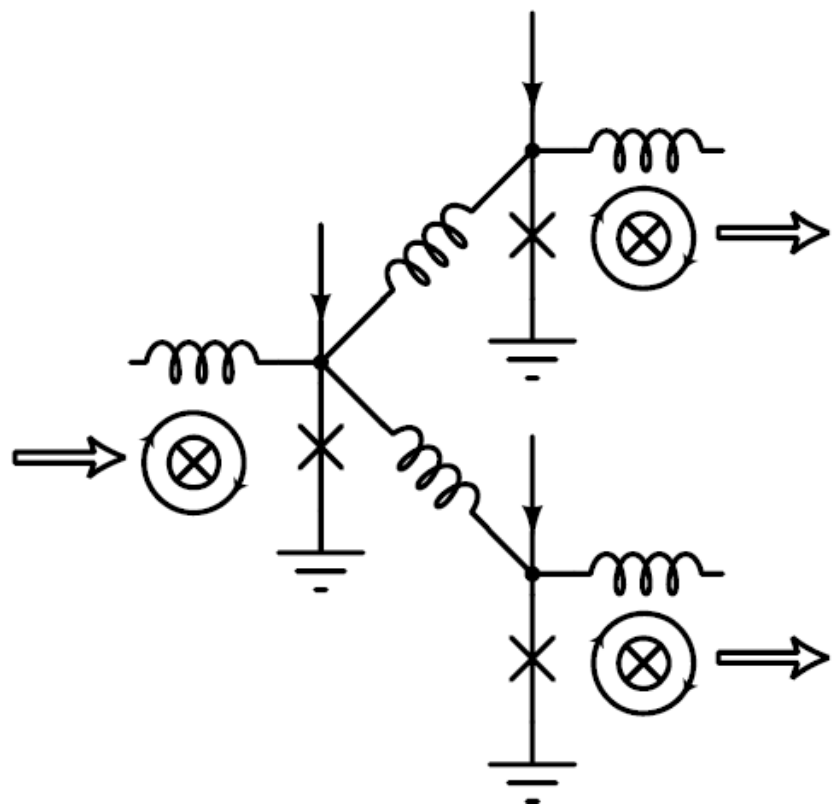
Nakajima et al., IEE TAS 1 (1991) 29.

Likharev and Semenov, IEEE TAS 1 (1991) 3.

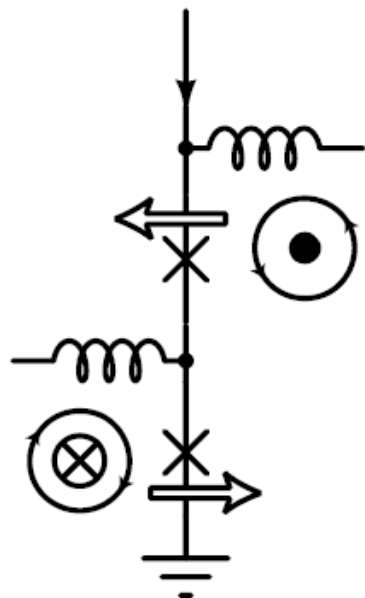
SFQ信号伝搬の原理



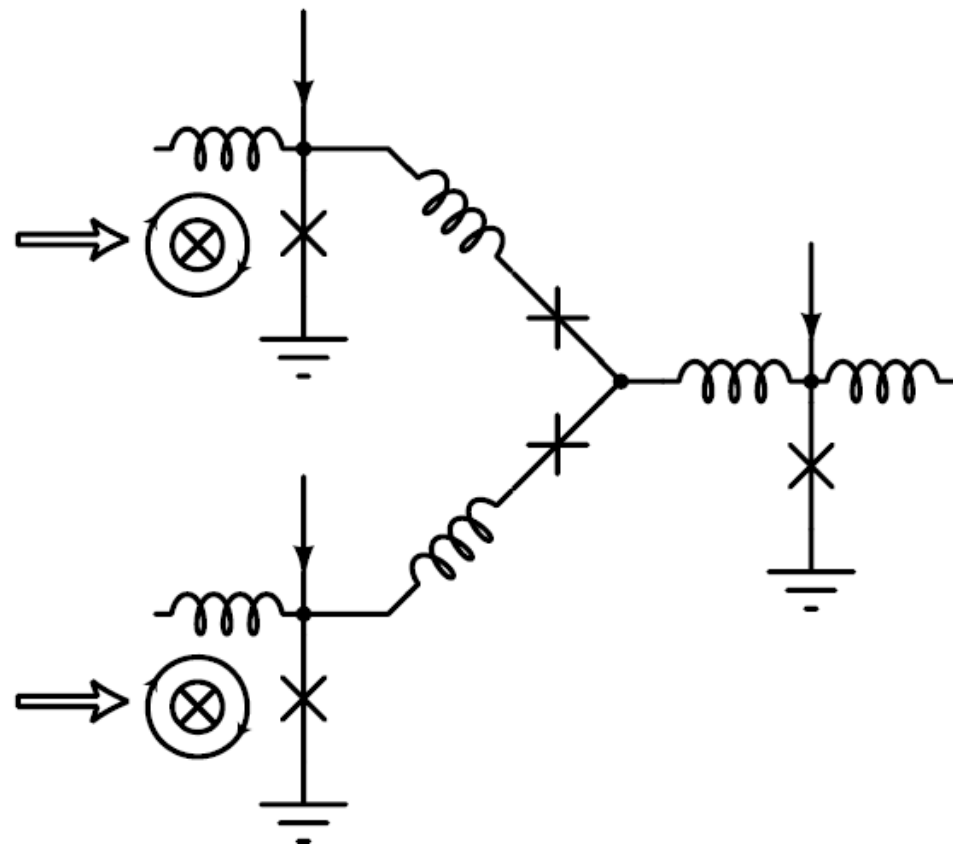
SFQ信号伝搬回路回路



分岐

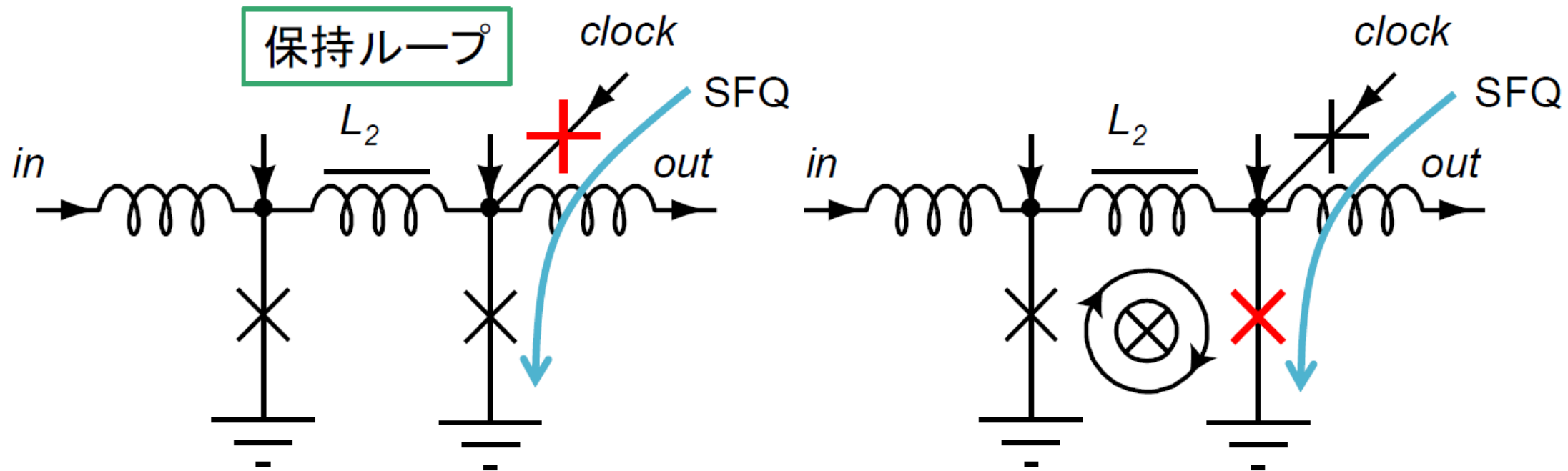


方向性結合



合流

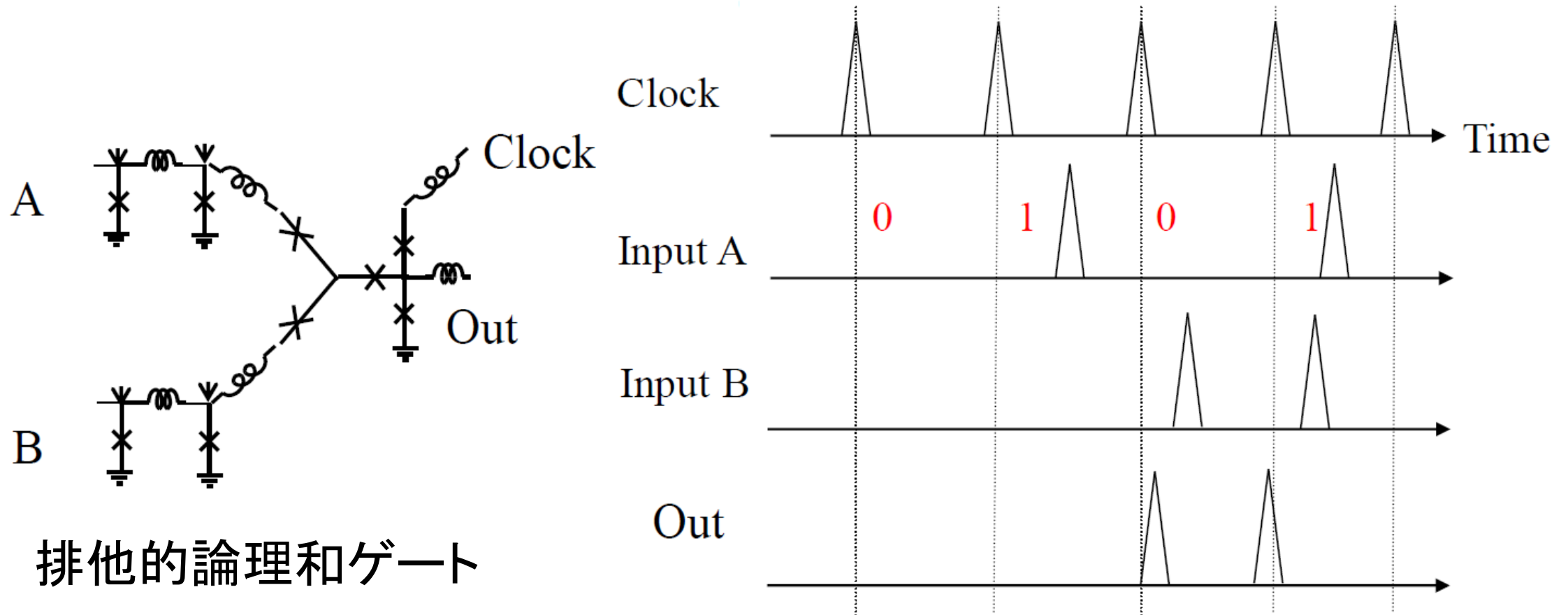
SFQ回路によるフリップフロップ



'0'状態 (初期状態)

'1'状態 (in入力後)

SFQ回路の信号表現

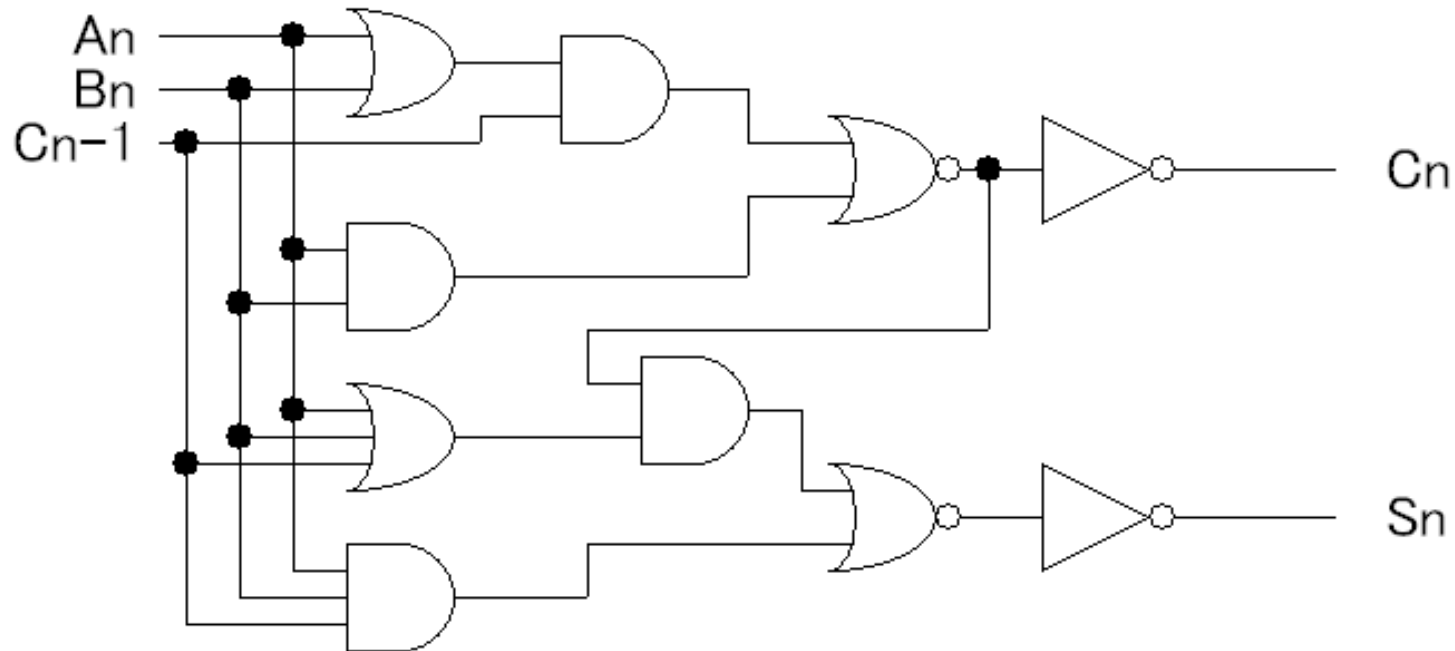


排他的論理和ゲート

SFQ論理ゲートはフリップフロップ (clkで状態出力)

Cf. 半導体CMOS回路の論理ゲートは組み合わせ回路

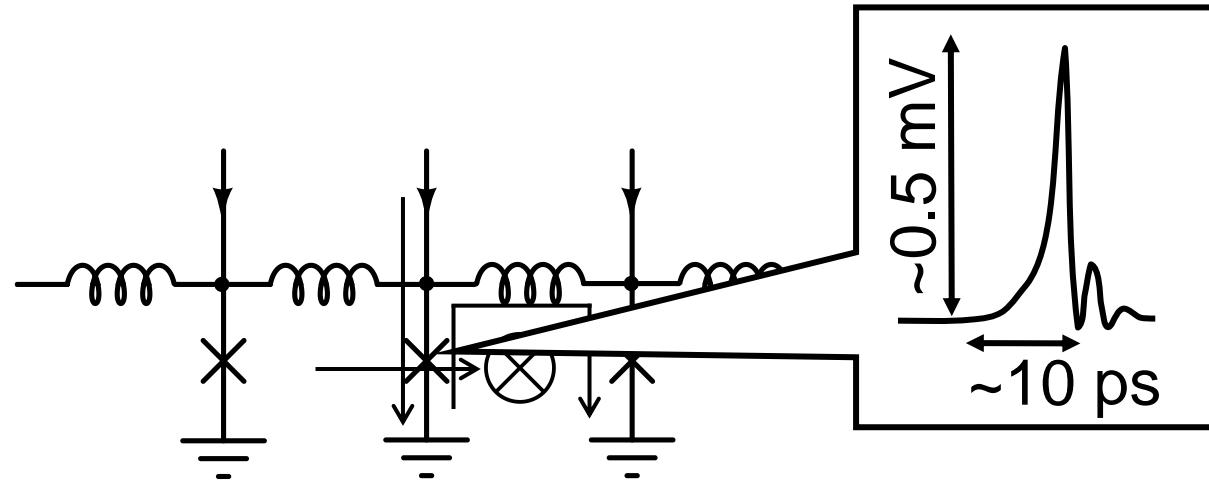
SFQ回路は超高スループット



論理ゲートから出力があると、すぐに次の入力が可能
 cf. 半導体回路は出力が出るまで入力し続ける必要

⇒ SFQ回路の最高動作周波数 \sim (論理ゲートの遅延時間) $^{-1}$
 典型的な値はNb回路で100 GHz以上

SFQ回路の消費電力



JJのスイッチング時にパルス状の電圧発生(消費電力発生)

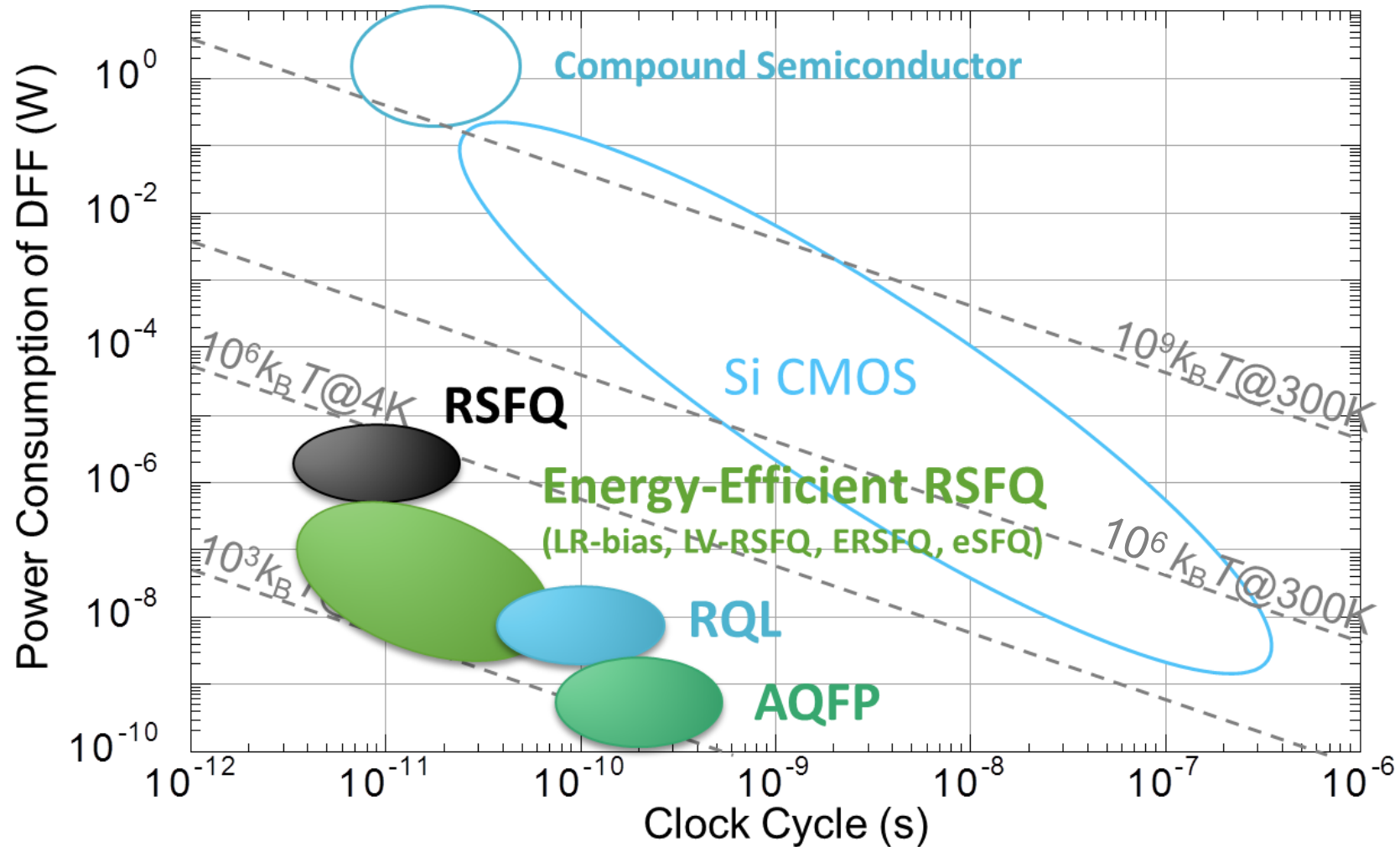
JJの1スイッチあたりの電力消費 $\sim I_C \Phi_0$ [J]

$I_C = 0.1$ mAとして、 $\sim 2 \times 10^{-19}$ J/switching



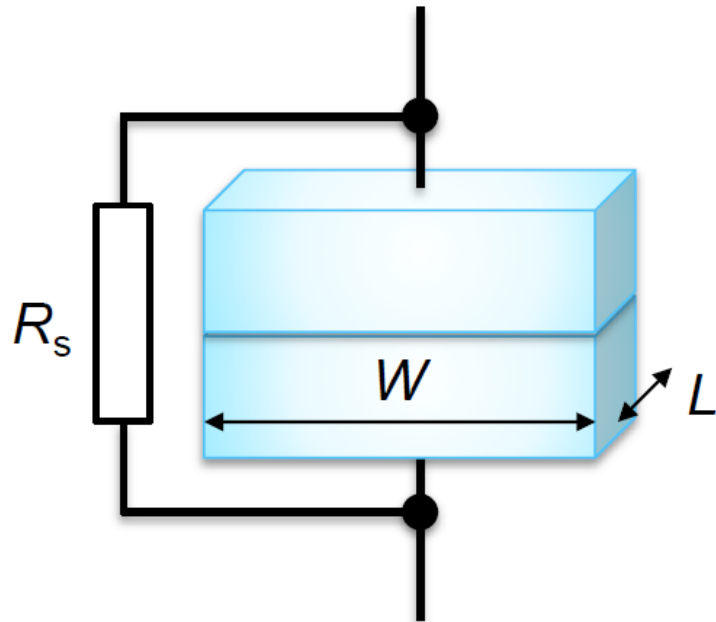
工夫すればもっと減らせる(後述の断熱動作)

回路動作速度と電力の比較



Courtesy of Prof. Tanaka (Nagoya Univ.)

超伝導回路のスケーリング則



接合面積	$1/a^2$
臨界電流 I_c	1
臨界電流密度 J_c	a^2
接合容量 C_s	$1/a^2$
トンネル抵抗 R_n, R_{sg}	a^2
シャント抵抗 R_s	a
バイアス電圧 V_b	a

JJのスイッチングに要する時間は $1/a$ に

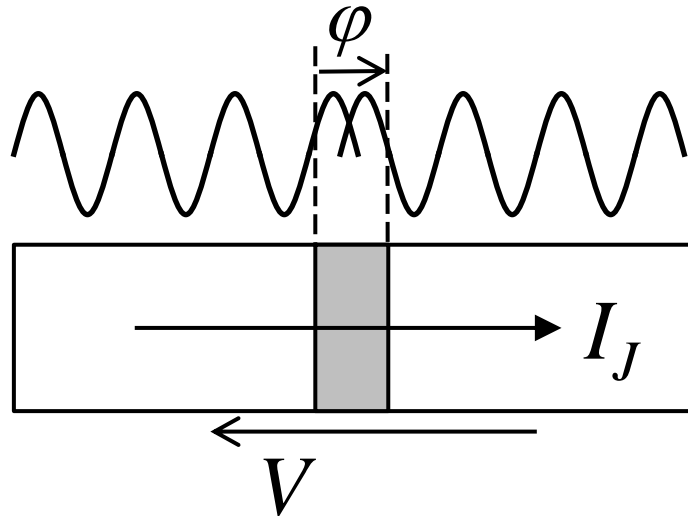
JJの J_c を4倍にすると、回路動作周波数は2倍に

高性能化の明確な指針がある(集積回路として極めて重要)

本講演の概要

- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

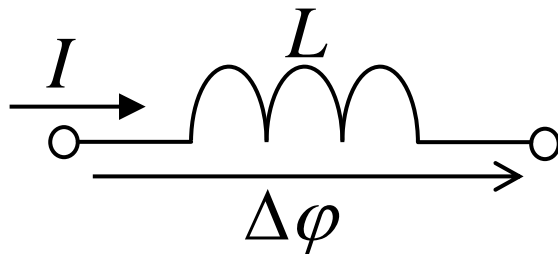
超伝導回路の解析に用いる式



$$I_J = I_C \sin \varphi$$

$$V = \frac{\hbar}{2e} \frac{d\varphi}{dt} = \frac{\Phi_0}{2\pi} \frac{d\varphi}{dt}$$

Josephsonの式

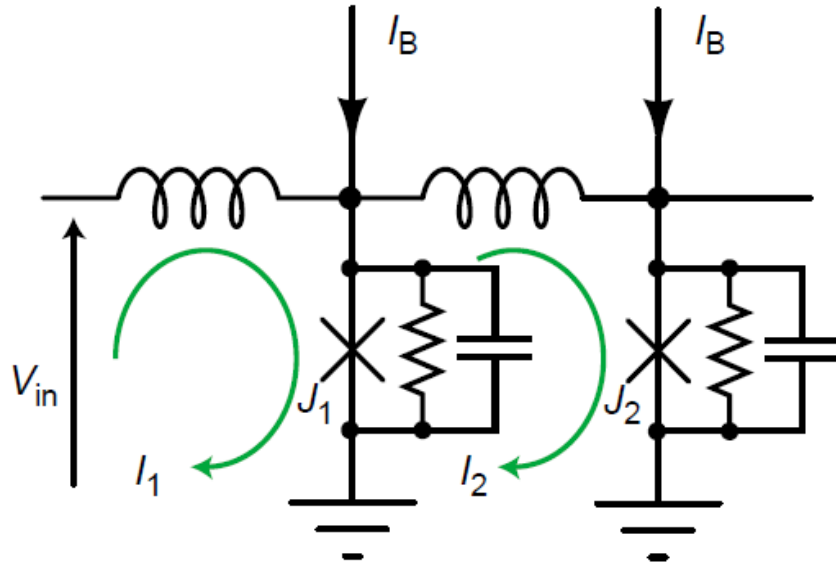


$$I = \frac{\Phi_0}{2\pi L} \Delta\varphi$$

電流-位相の式

他にオームの法則など

超伝導回路の解析



$$\begin{aligned}
 I_B + i_1 - i_2 &= I_c \sin \theta_1 + C \frac{dv_1}{dt} + \frac{v_1}{R}, & \frac{I_B}{I_c} + I_1 - I_2 &= \sin \theta_1 + \beta_c \frac{dV_1}{dT} + V_1, \\
 I_B + i_2 &= I_c \sin \theta_2 + C \frac{dv_2}{dt} + \frac{v_2}{R}, & \frac{I_B}{I_c} + I_2 &= \sin \theta_2 + \beta_c \frac{dV_2}{dT} + V_2, \\
 v_1 &= \frac{\Phi_0}{2\pi} \frac{d\theta_1}{dt}, & V_1 &= \frac{d\theta_1}{dT}, \\
 v_2 &= \frac{\Phi_0}{2\pi} \frac{d\theta_2}{dt}, & V_2 &= \frac{d\theta_2}{dT}, \\
 v_{in} &= v_1 + L_1 \frac{di_1}{dt}, & \frac{v_{in}}{I_c R} &= V_1 + \frac{2\pi L_1 I_c}{\Phi_0} \frac{dI_1}{dT}, \\
 v_1 &= v_2 + L_2 \frac{di_2}{dt}, & V_1 &= V_2 + \frac{2\pi L_2 I_c}{\Phi_0} \frac{dI_2}{dT}.
 \end{aligned}$$

→
無次元化

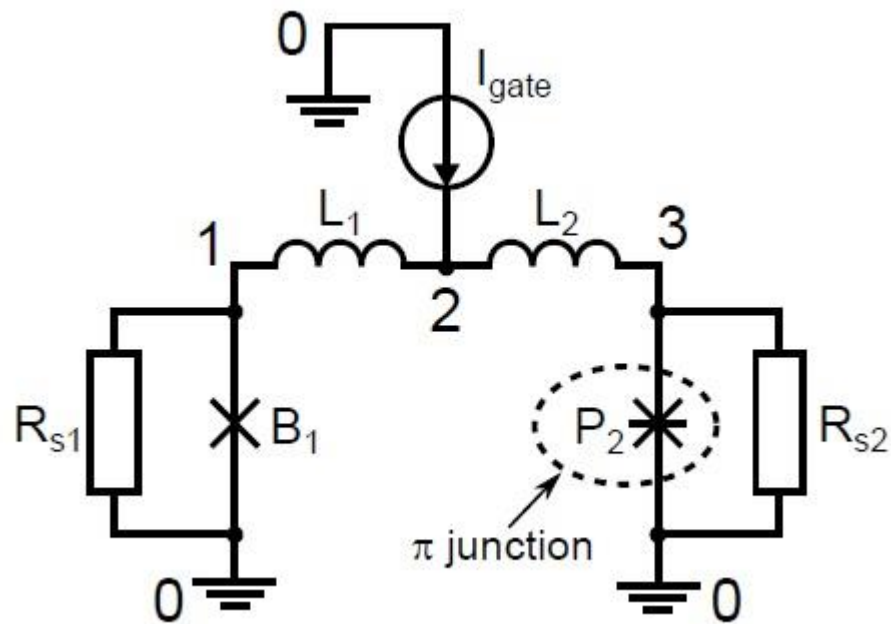
無次元化は以下を使用

- 電流 I_c
- 電圧 $I_c R_s$
- 時間 $(\Phi_0/2\pi) \cdot (I_c R_s)^{-1}$

設計パラメータ: $\beta_c, LI_c/\Phi_0, I_B/I_c$

アナログ回路シミュレータ

回路シミュレータを使って数値計算
JSIM、WRSpice、JoSIM、PJSIM...



等価回路

```
.model jjmod jj(Rtype=1, Vg=2.8mV,
Cap=0.218pF, R0=200ohm, Rn=17ohm,
Icrit=0.1mA)
.model pjmod jj(Rtype=1, Vg=2.8mV,
Cap=0.218pF, R0=200ohm, Rn=17ohm,
Icrit=0.1mA)
```

```
Ib 0 2 pwl(0ps 0A 3ns 300uA)
L1 2 1 2.0pH fcheck
L2 2 3 2.0pH fcheck
B1 1 0 jjmod area=1.0
P1 3 0 pjmod area=1.0
```

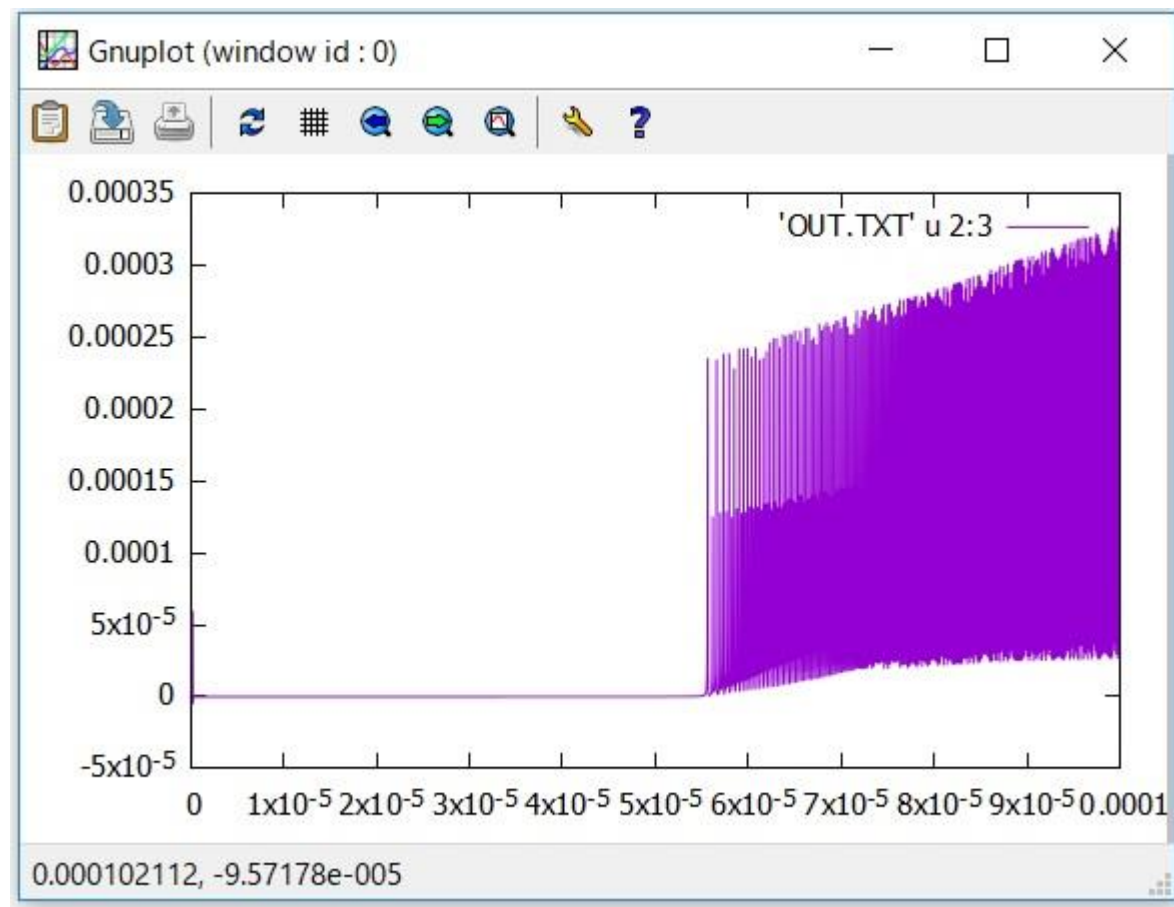
ネットリスト

アナログ回路シミュレーション

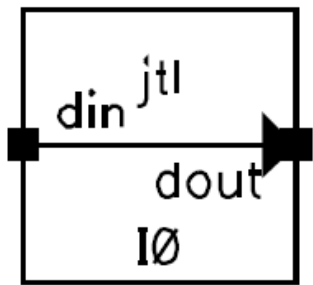
```

0.0000e+00 0.0000e+00 0.0000e+00
1.0000e-12 1.0000e-08 7.2095e-09
2.0000e-12 2.0000e-08 1.6574e-08
3.0000e-12 3.0000e-08 2.8842e-08
4.0000e-12 4.0000e-08 4.8222e-08
5.0000e-12 5.0000e-08 7.9488e-08
6.0000e-12 6.0000e-08 1.2576e-07
7.0000e-12 7.0000e-08 1.9503e-07
8.0000e-12 8.0000e-08 2.9926e-07
9.0000e-12 9.0000e-08 4.5682e-07
1.0000e-11 1.0000e-07 6.9457e-07
1.1000e-11 1.1000e-07 1.0532e-06
1.2000e-11 1.2000e-07 1.5940e-06
1.3000e-11 1.3000e-07 2.4094e-06
1.4000e-11 1.4000e-07 3.6383e-06
1.5000e-11 1.5000e-07 5.4879e-06
1.6000e-11 1.6000e-07 8.2634e-06
1.7000e-11 1.7000e-07 1.2400e-05
1.8000e-11 1.8000e-07 1.8468e-05
1.9000e-11 1.9000e-07 2.7062e-05
2.0000e-11 2.0000e-07 3.8304e-05

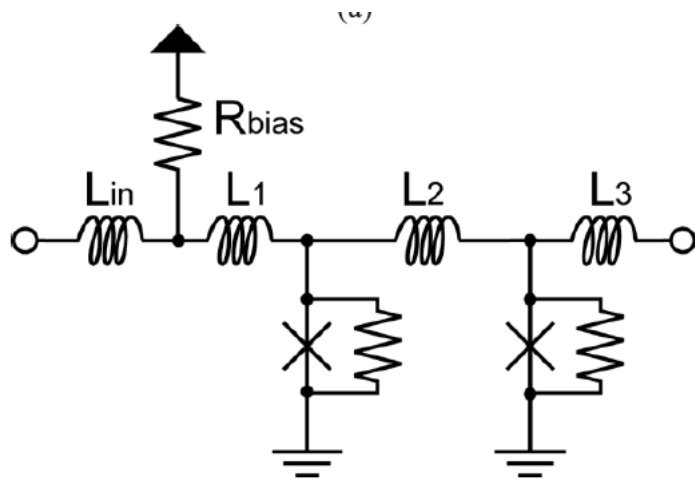
```



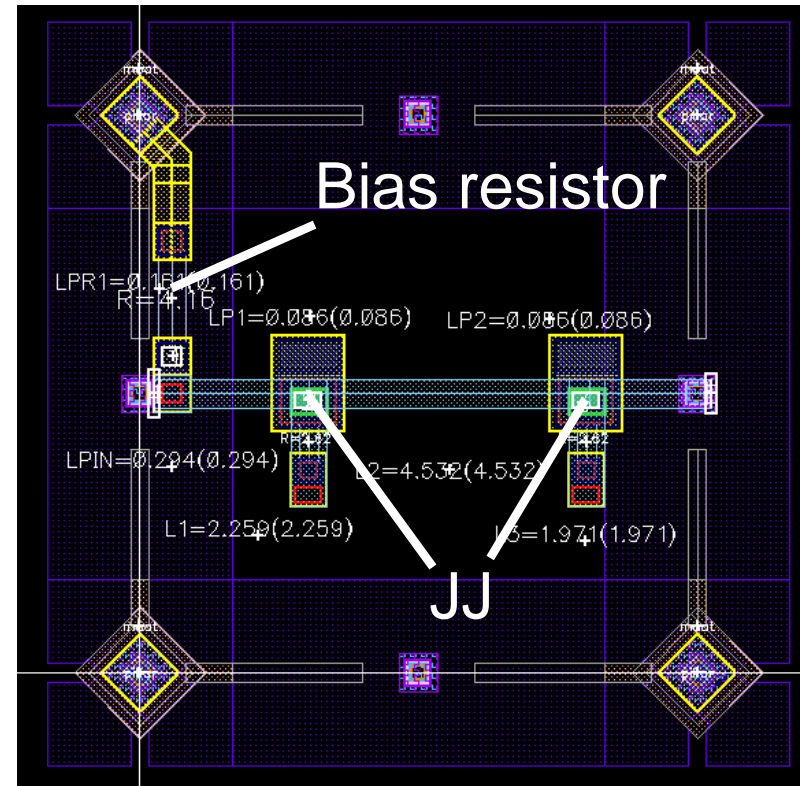
セルベース設計法



シンボル



等価回路



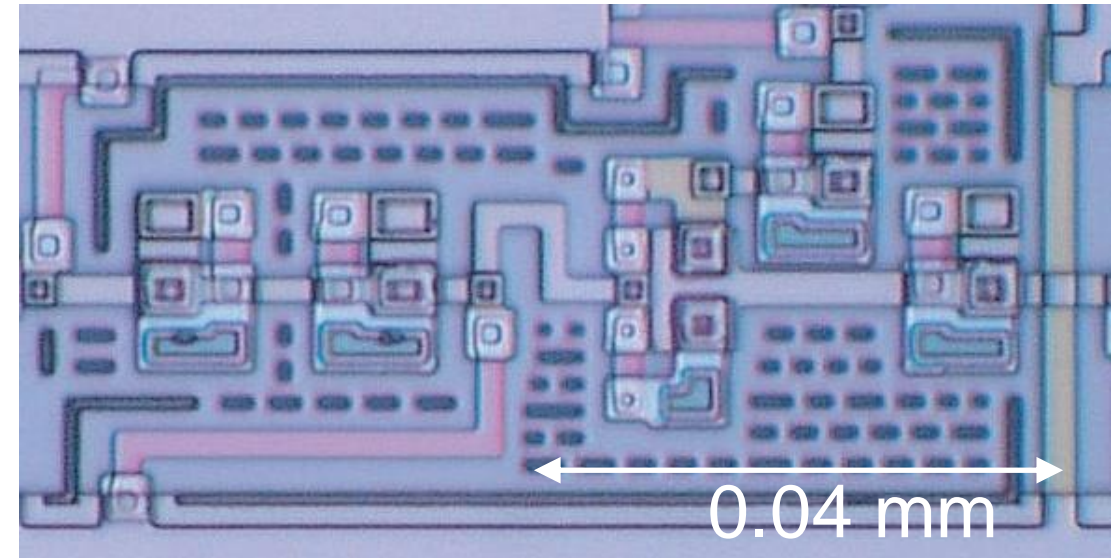
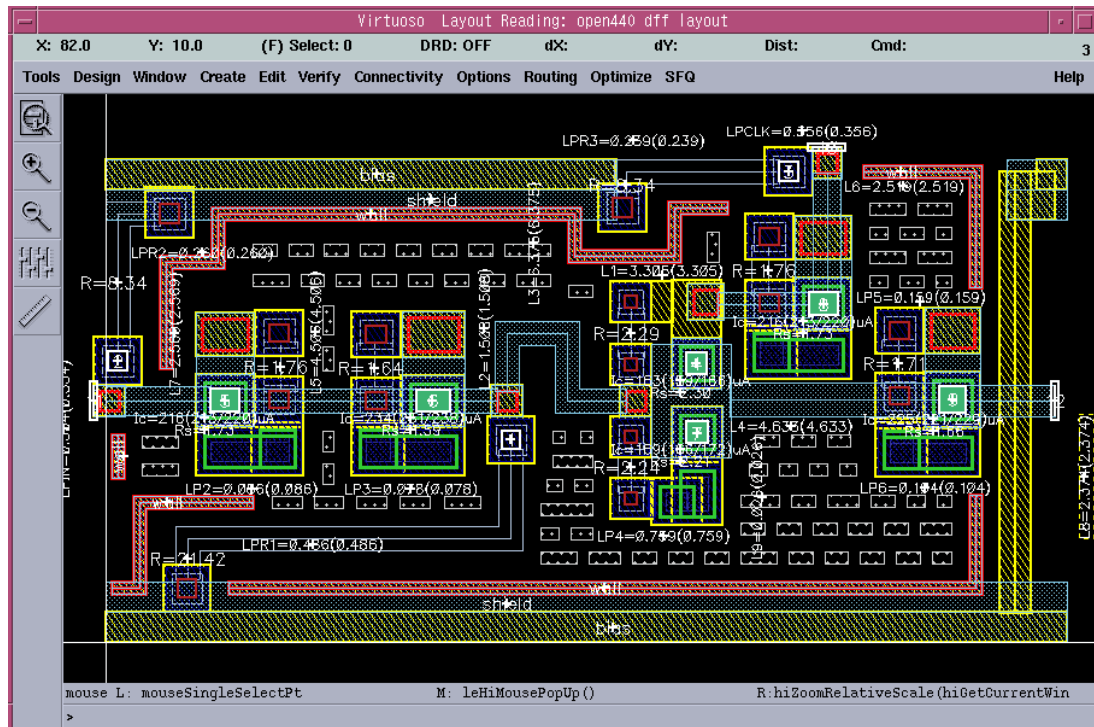
レイアウト

```
module jtl (dout, din);
    output dout;
    input din;
```

```
parameter bias_voltage = `BV ;
parameter BV70 = 1.75 ;
parameter DIN__DOUT__1 = 13.3 ;
parameter DIN__DIN__1 = 23 ;
parameter BV75 = 1.875 ;
parameter DIN__DOUT__2 = 12 ;
parameter DIN__DIN__2 = 20.4 ;
parameter BV80 = 2 ;
```

デジタルシミュレーション
用タイミング情報

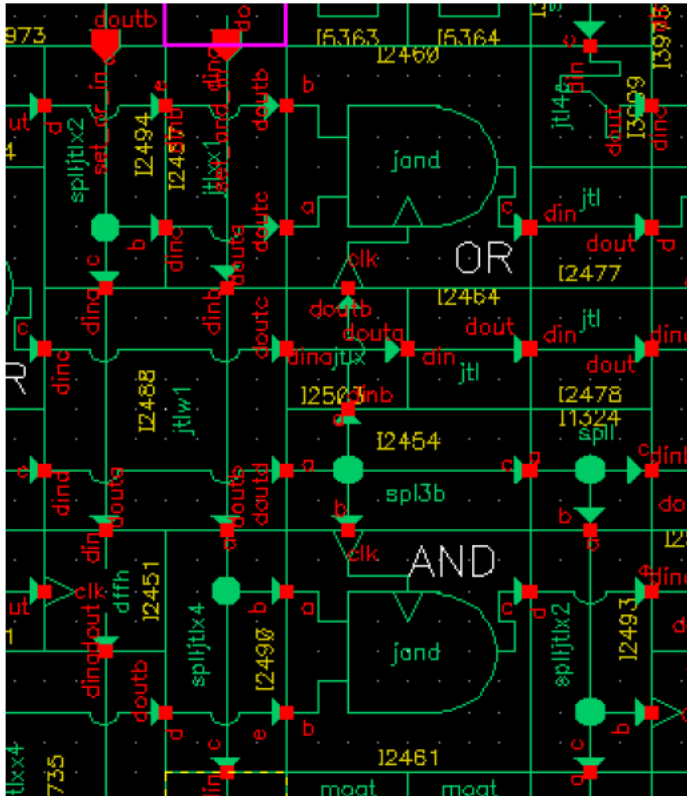
DFF (Delay Flip-Flop) セル



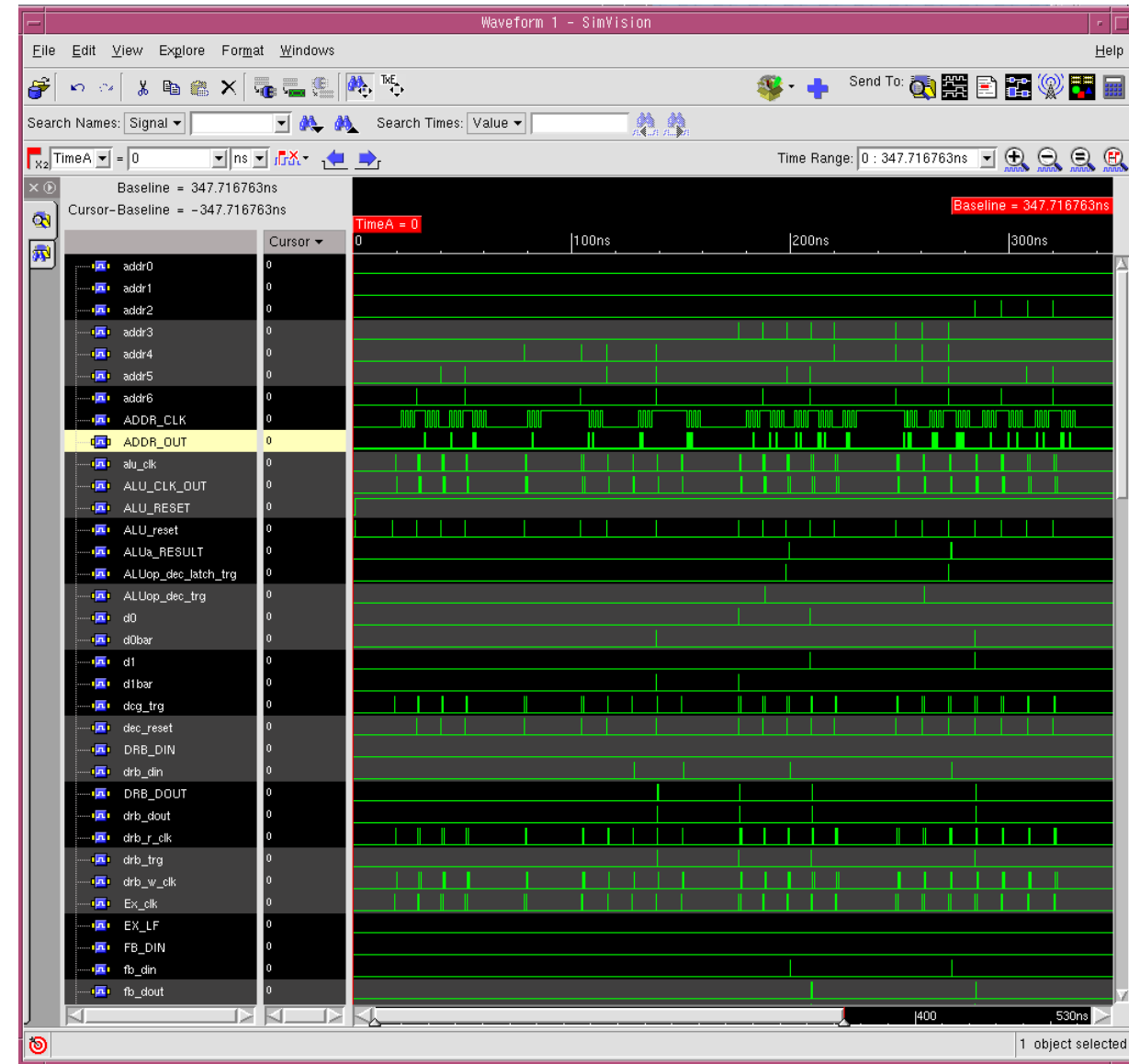
Cadenceの集積回路設計
ソフトウェア上のレイアウト

産総研2.5 kA/cm²
Nb標準プロセスで試作
最小線幅1.0 μm

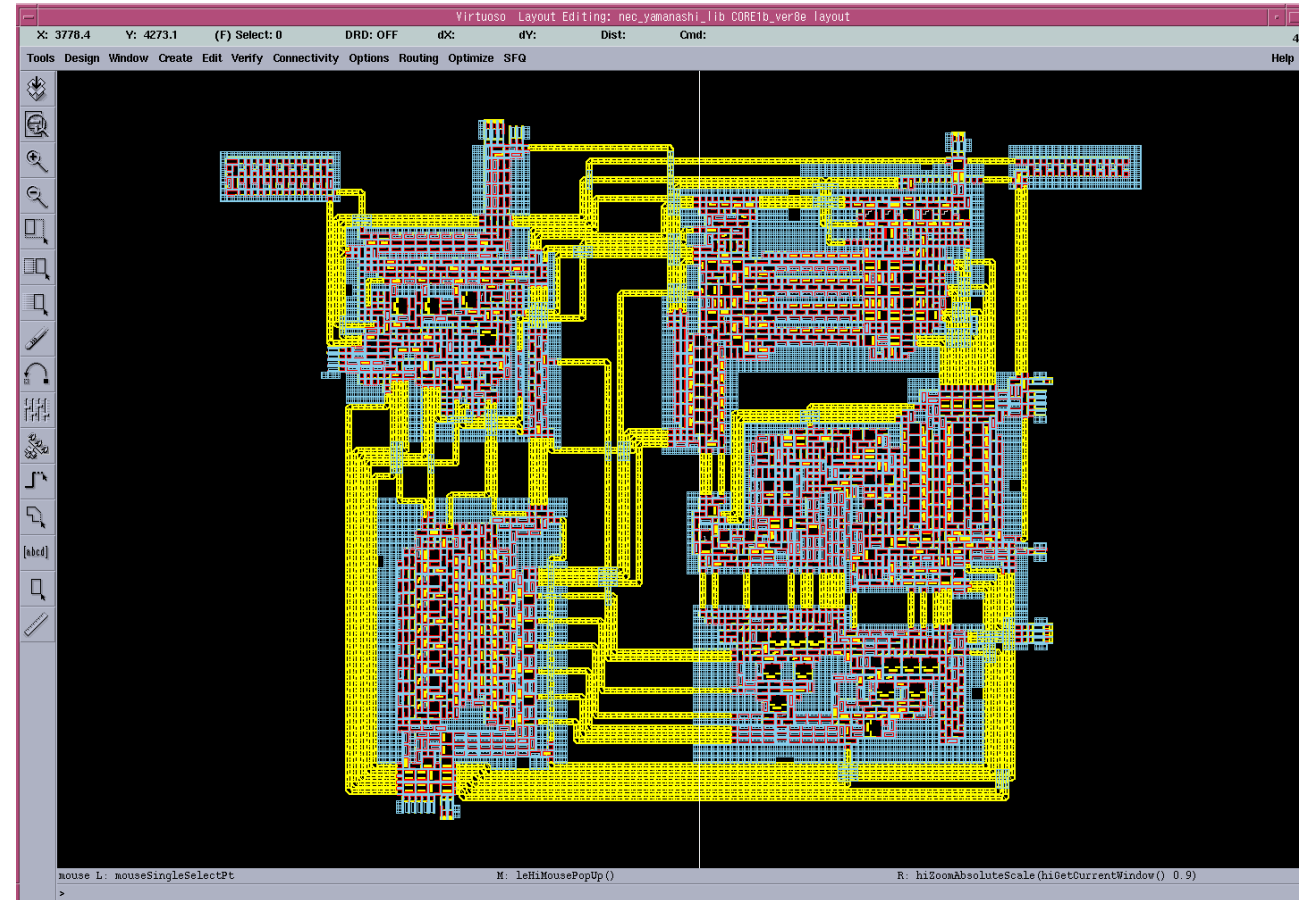
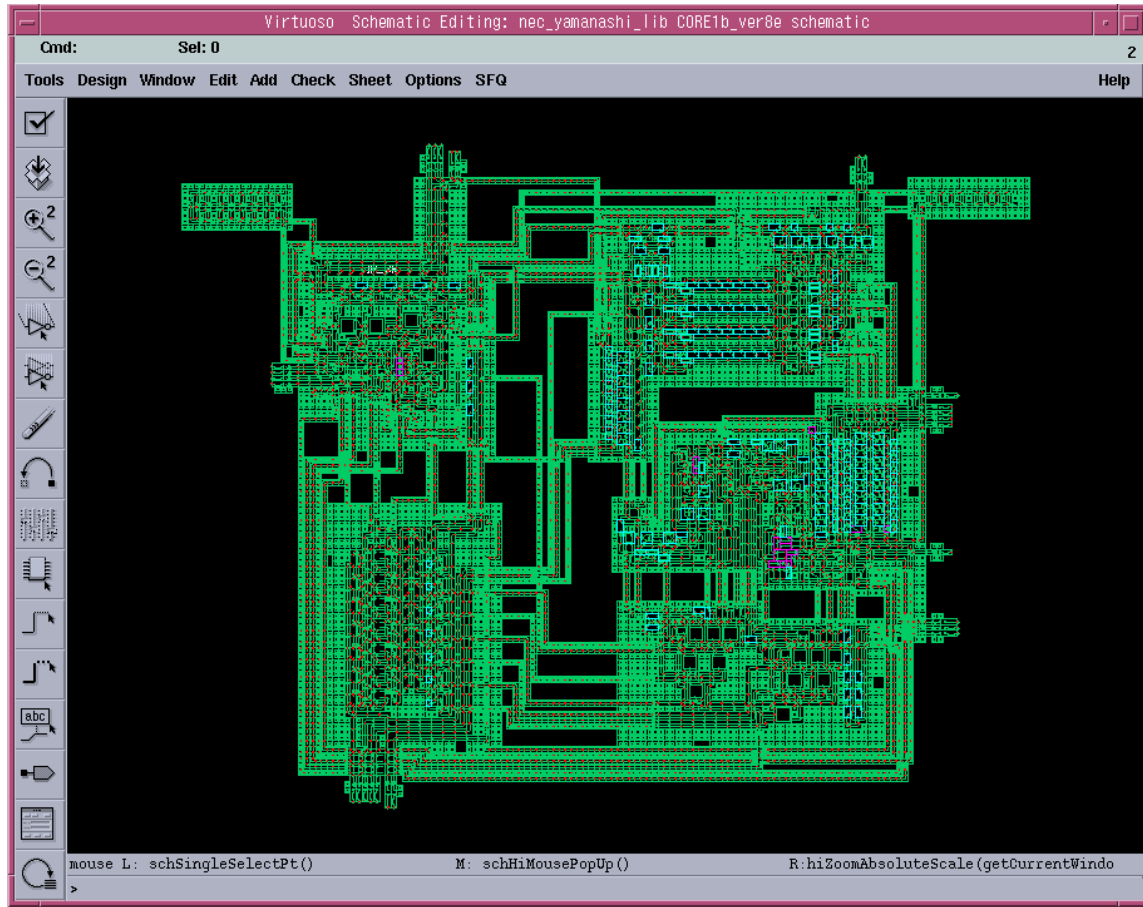
デジタルシミュレーション



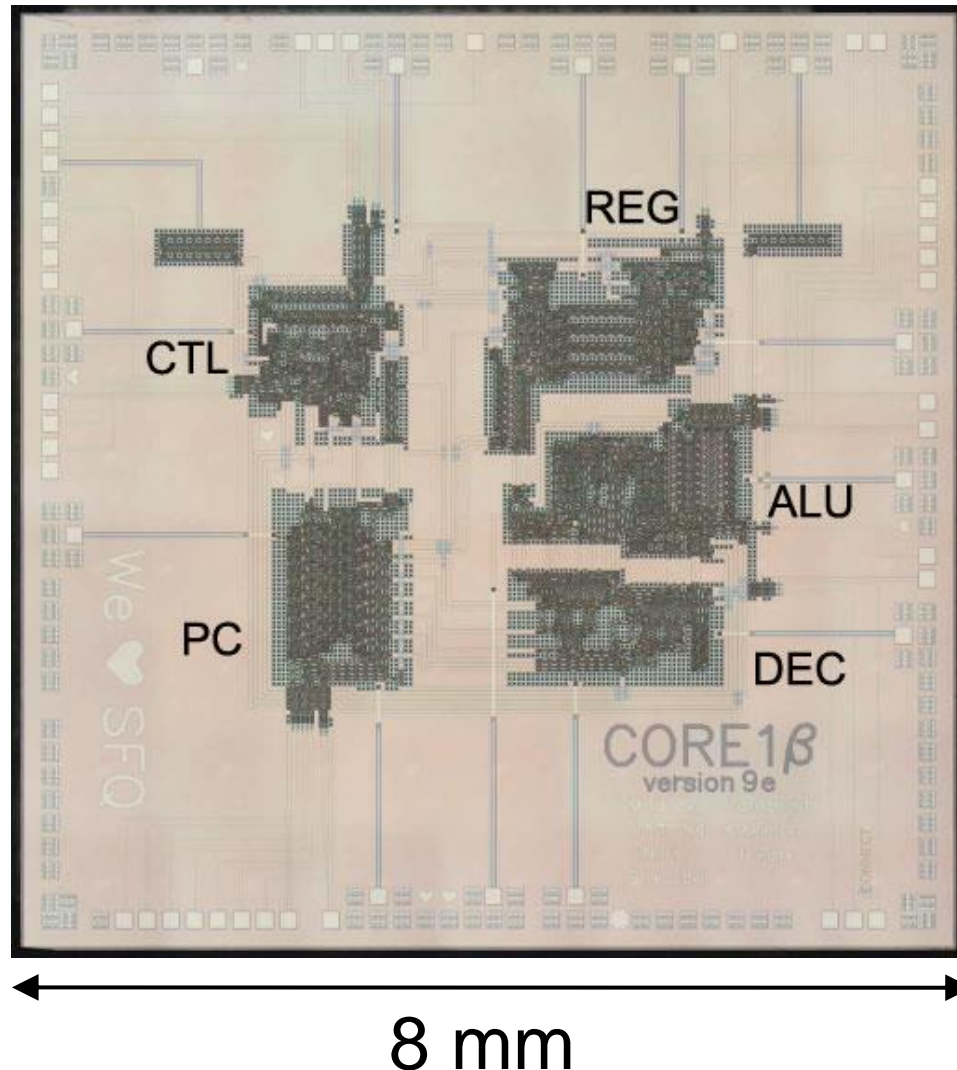
各セルのタイミング情報のみを利用
(アナログ回路シミュレーションをしない)



8-bit SFQ CPU Design



8-bit SFQ CPU CORE1beta



- クロック周波数:
25 GHz
- ジョセフソン接合数:
10,995個
- 消費電力:
3.4 mW


Yamanashi et al.,
IEEE TAS 17 (2006) 474.

ニューラルネット用 SFQ Processor

九大/名大が開発した32GHz動作の極低温超電導4ビットプロセッサ


九州大学(九大)と名古屋大学(名大)の研究チームは、超伝導単一磁束(SFQ:Single-Flux-Quantum)回路を用いた4ビットプロセッサを開発したことを発表した。

32 GHz 4-bit SFQ Processor
2.5 TOPS/W operation
Ishida et al., *VLSI symposium 2020*.



2020 VLSI
TECHNOLOGY
SYMPOSIUM

32 GHz 6.5 mW Gate-Level-Pipelined 4-bit Processor using Superconductor Single-Flux-Quantum Logic



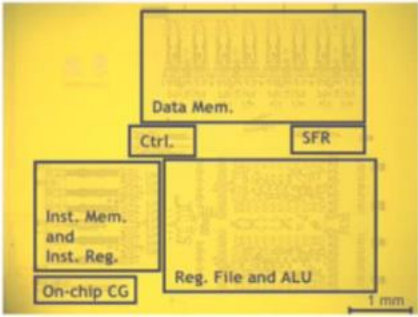
2020 VLSI
CIRCUITS
SYMPOSIUM

CA3.5 Digital Systems

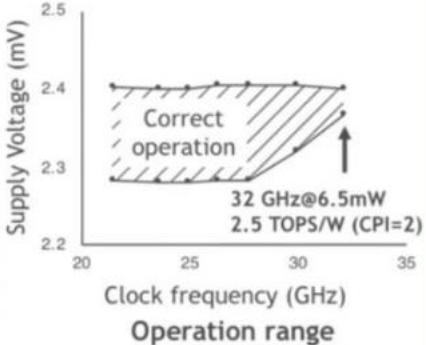
Koki Ishida¹, Masamitsu Tanaka², Ikki Nagaoka²,
Takatsugu Ono¹, Satoshi Kawakami¹, Teruo
Tanimoto¹, Akira Fujimaki², and Koji Inoue¹

¹ Kyushu University ² Nagoya University

- First successful demonstration of a single-flux-quantum (SFQ) gate-level-pipelined processor.
- The maximum clock frequency is 32 GHz with the measured power consumption of 6.5 mW.
- It achieves 2.5 TOPS/W by fine-grained multithreading and optimizing clock distribution.



Chip microphotograph



Operation range

単位電力あたりの性能が
CMOS回路に比べて
4桁以上高い

<https://news.mynavi.jp/techplus/article/vlsi2020-8/>

近年の設計に関する研究動向

セルを人の手で並べての設計は限界

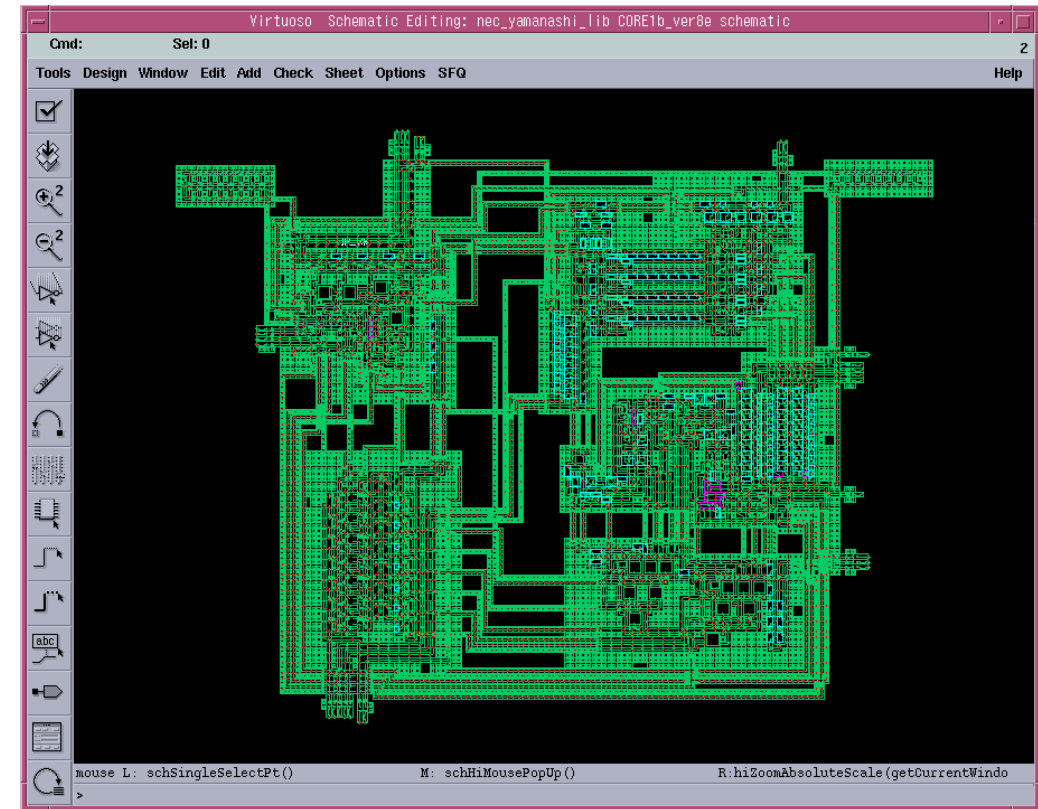
近年、超伝導回路の設計自動化の
研究が盛んに

日本では京都大、名大、三重大、中京大

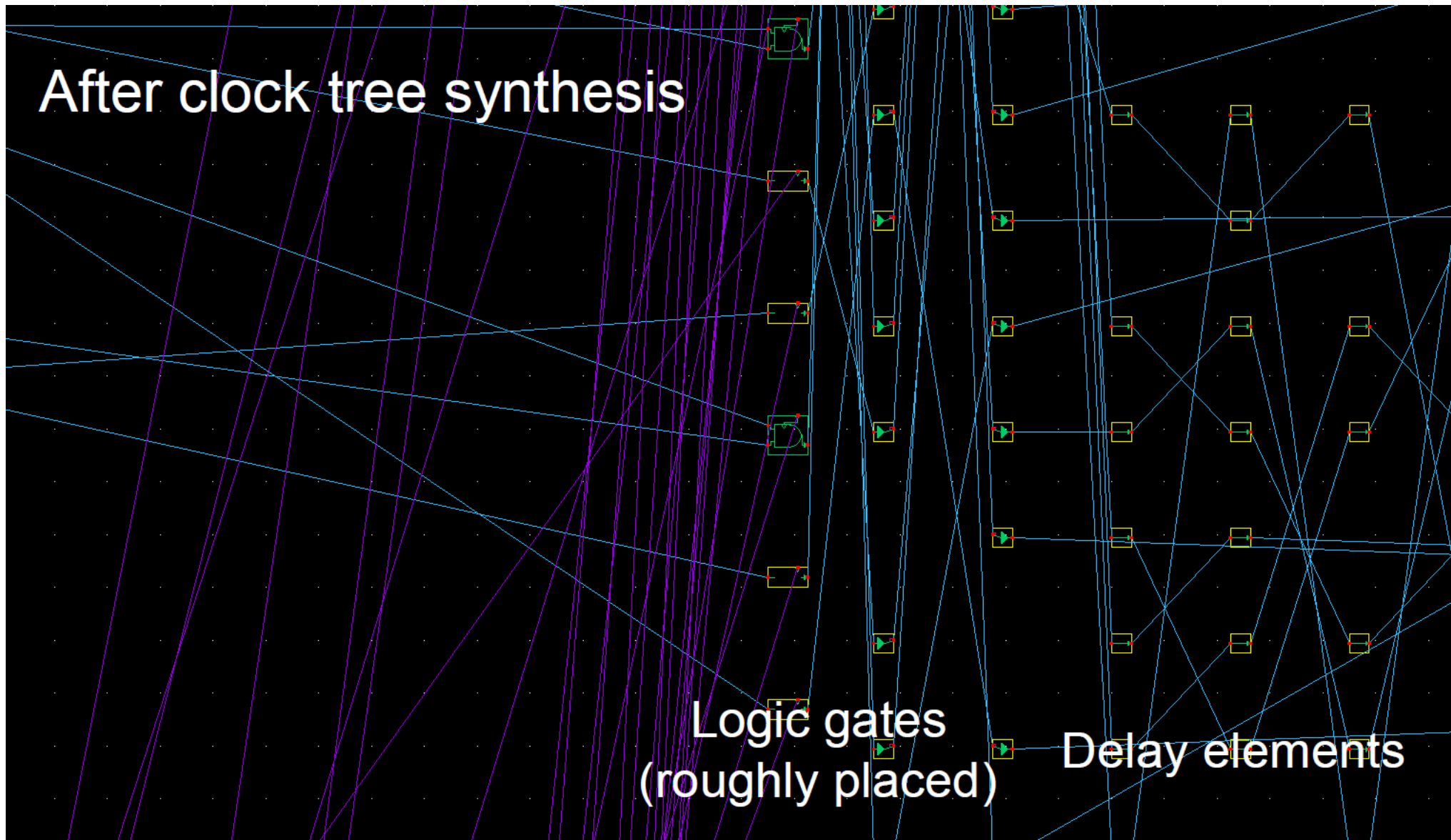
アメリカのSuper Toolsプログラム

(5年で数十億円?)

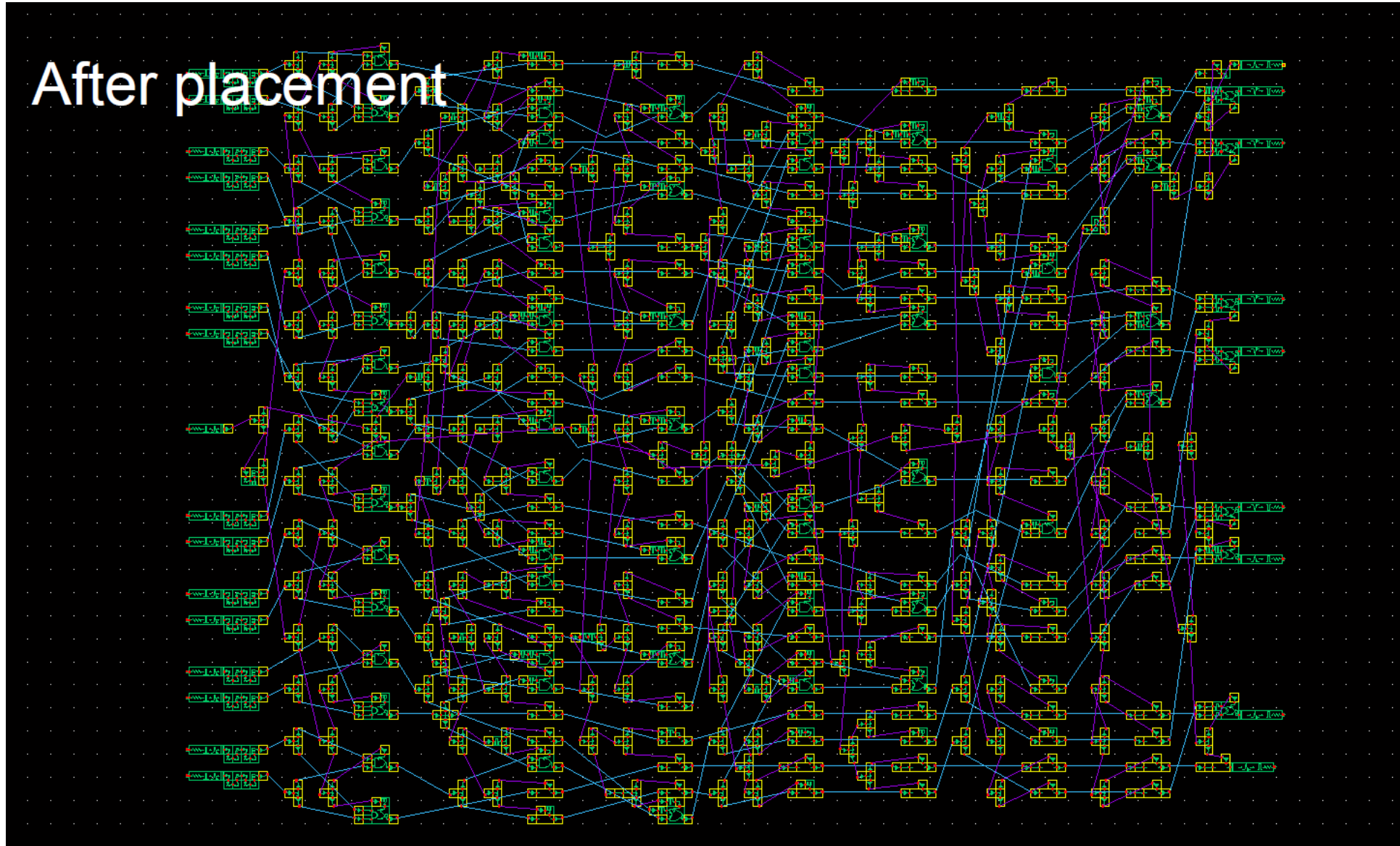
Synopsys、南カリフォルニア大、Hypres、
横国大、南ア Stellenbosch 大等々



SFQ回路の自動設計例

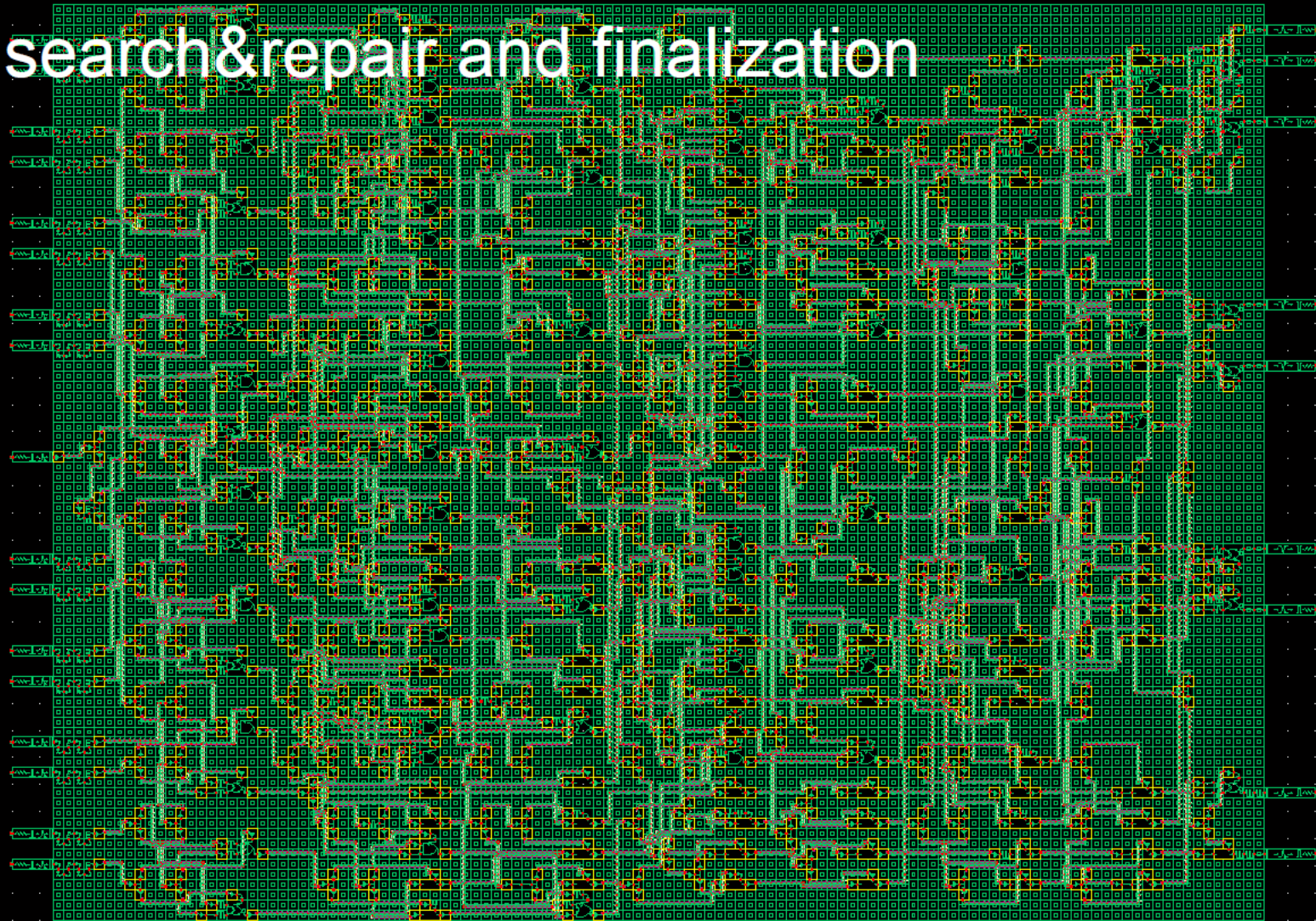


SFQ回路の自動設計例



SFQ回路の自動設計例

After search&repair and finalization



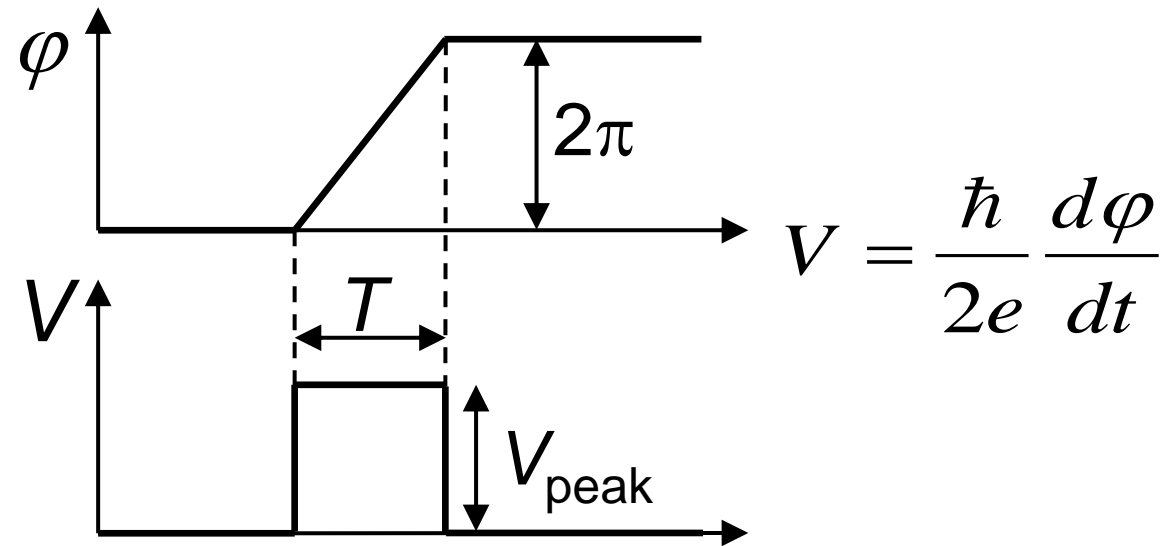
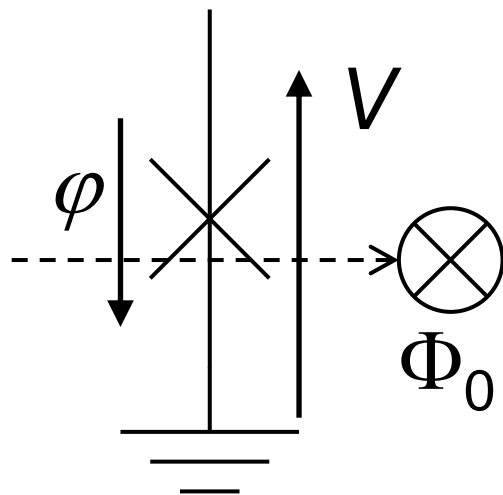
本講演の概要

- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

JJスイッチ時の断熱動作

JJを一磁束量子が T 秒かけて通過する場合

JJの有電圧時の抵抗を R (一定値) とする

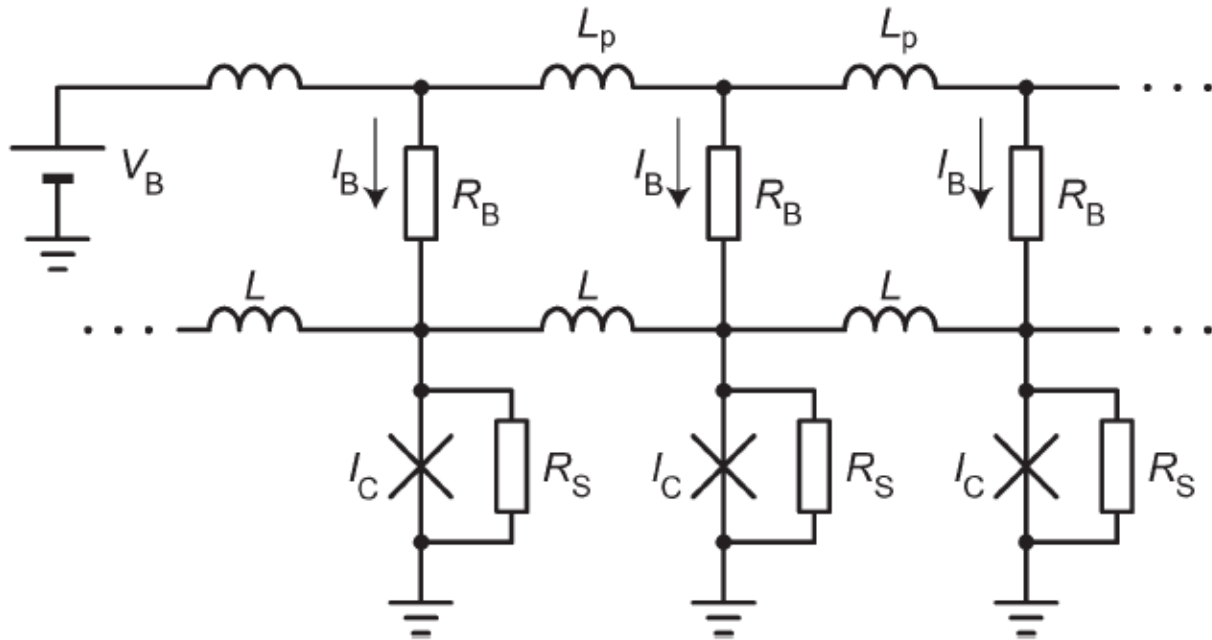


$$P_D = \frac{V_{\text{peak}}^2}{R} \cdot T = \frac{1}{R} \left(\frac{\Phi_0}{T} \right)^2 T \propto \frac{1}{T}$$

消費電力は T に反比例

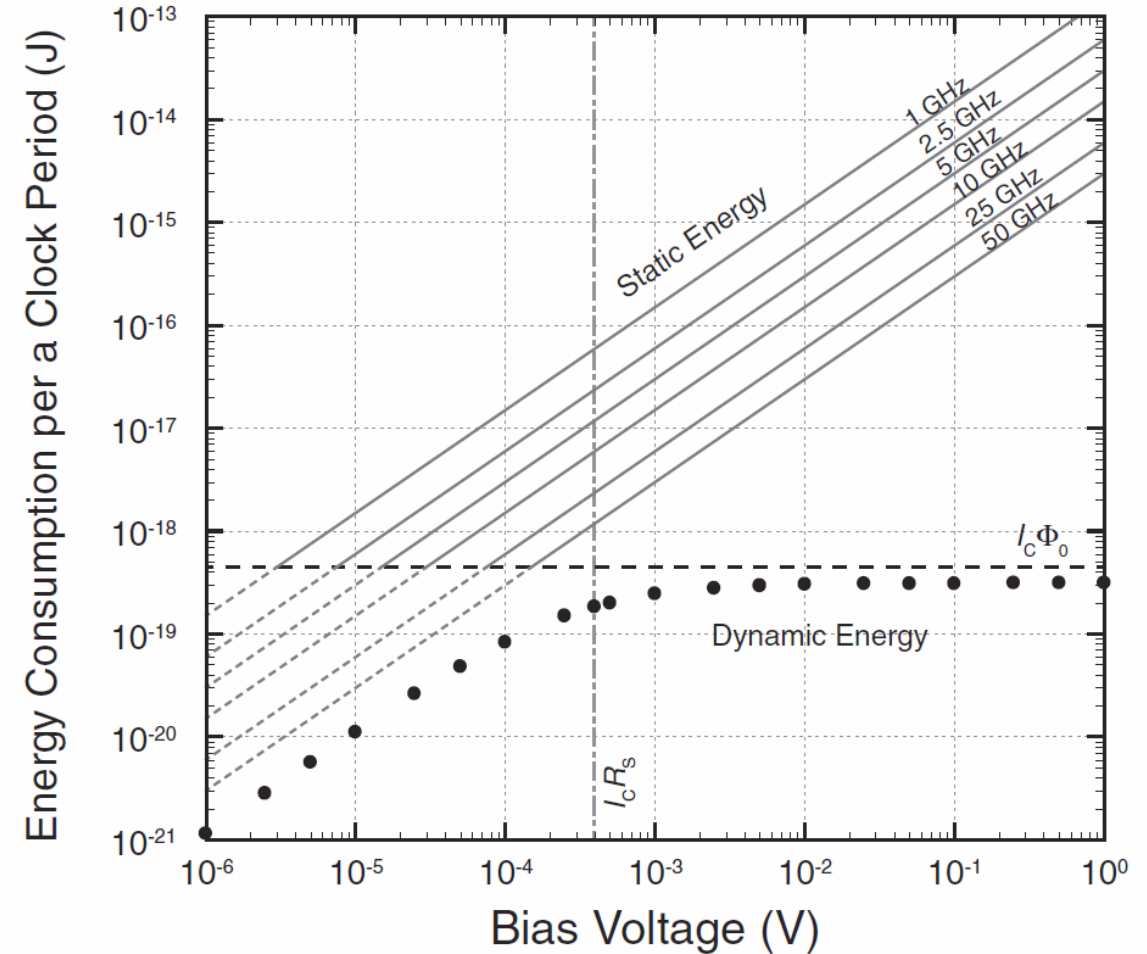
⇒ 回路をゆっくり動かすと消費電力減
(断熱動作)

低電圧駆動SFQ回路 (LV-SFQ)



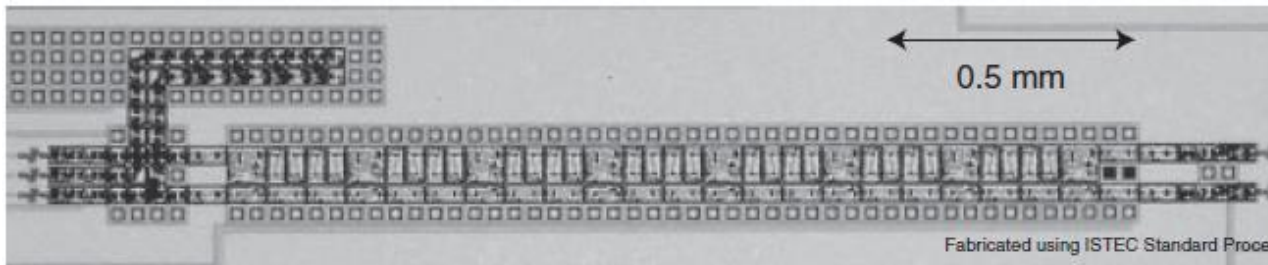
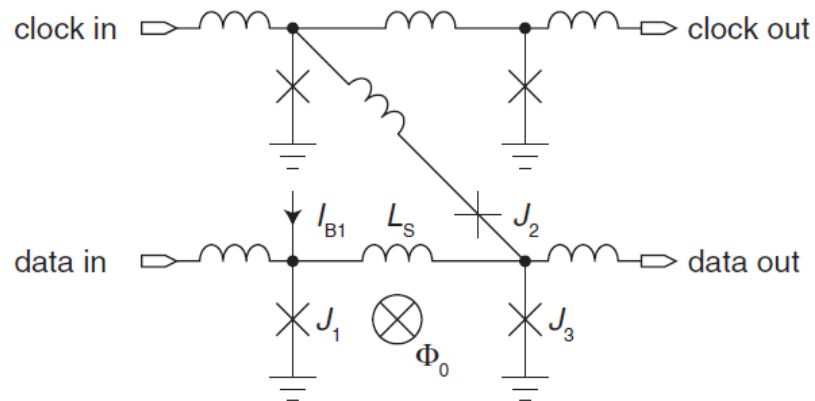
Tanaka et al., IEEE TAS 23 (2013) 1701104.

Tanaka et al., JJAP 51 (2012) 053102.

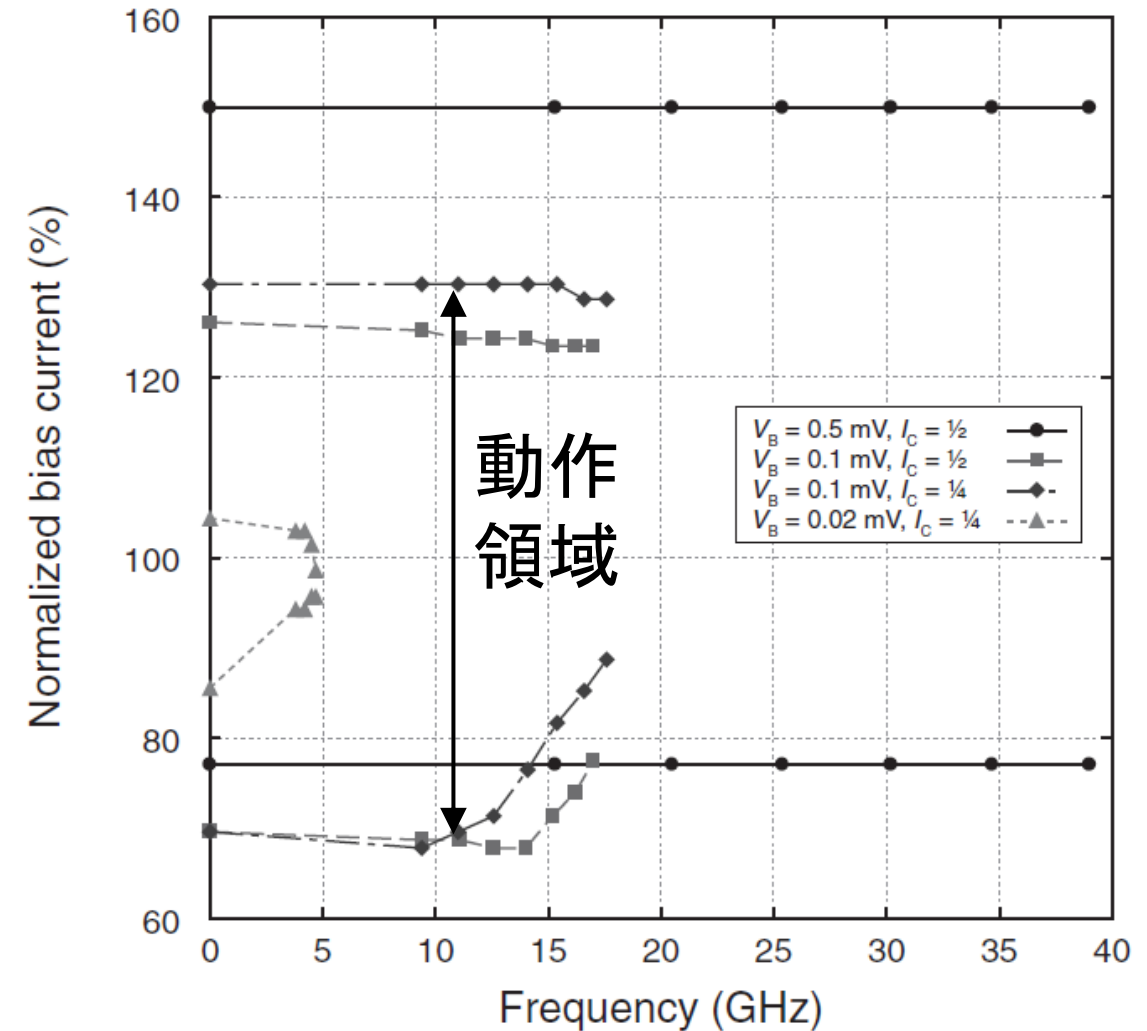


消費電力と動作速度のトレードオフ

LV-SFQ シフトレジスタ

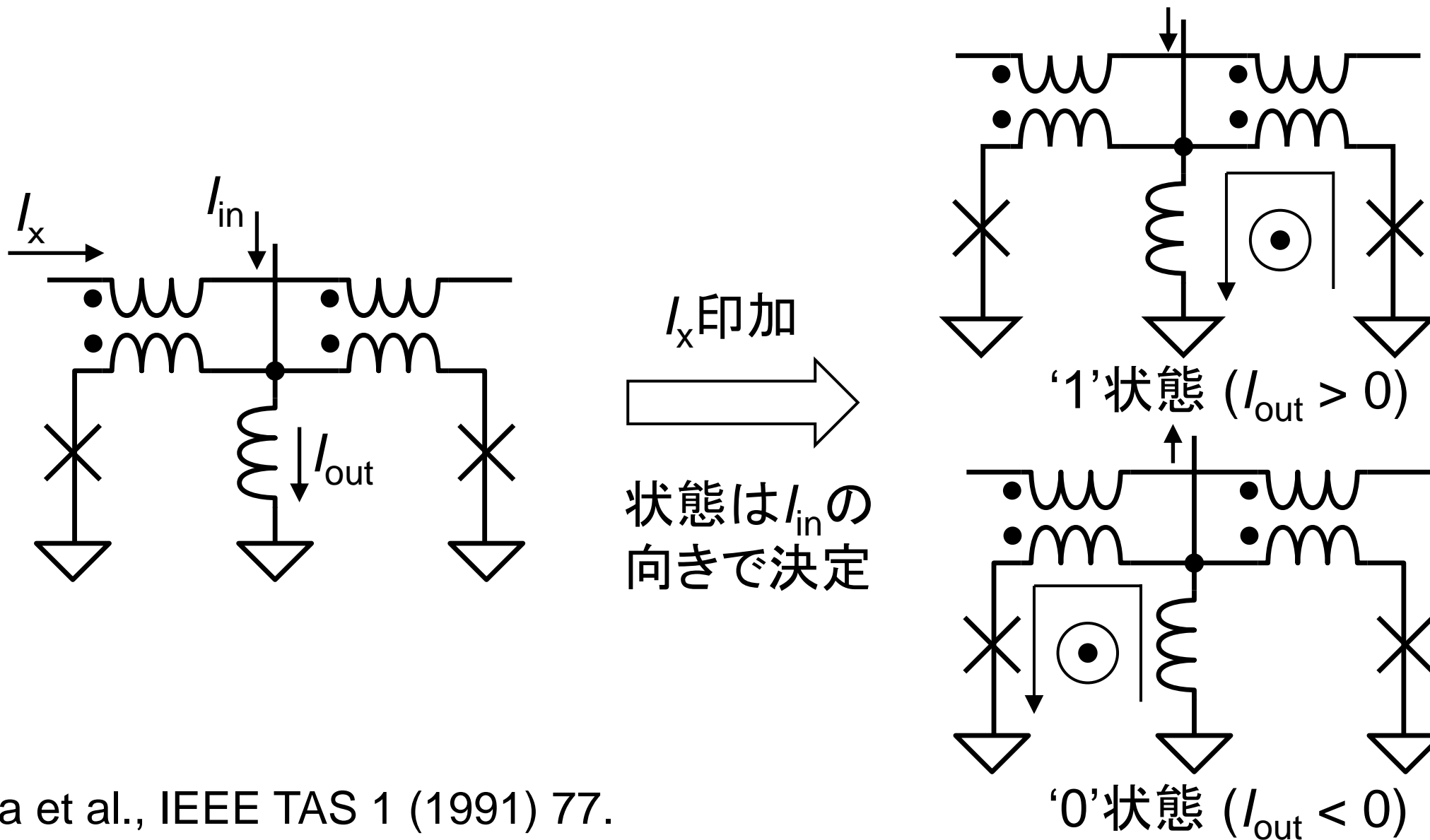


18-GHz, 4.0 aJ/bit動作

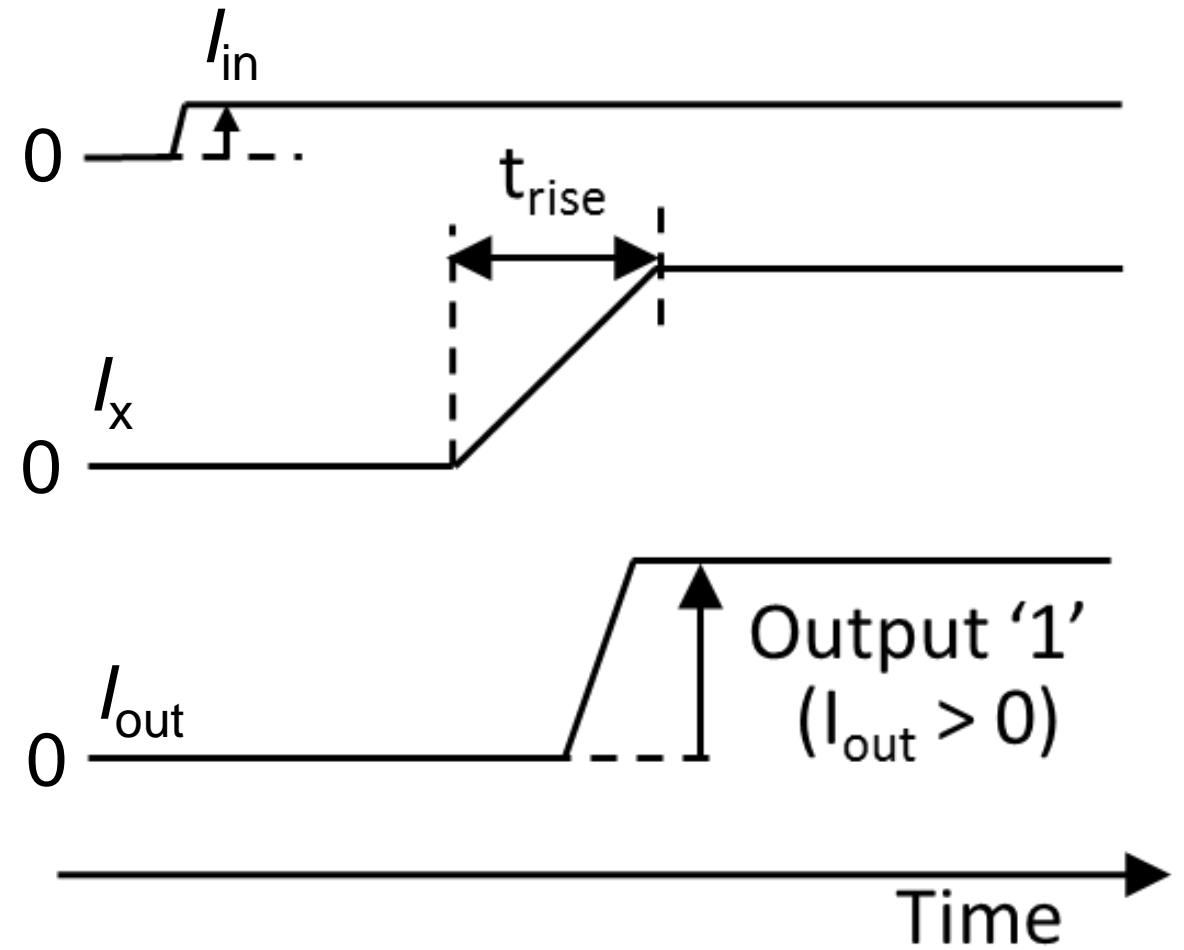
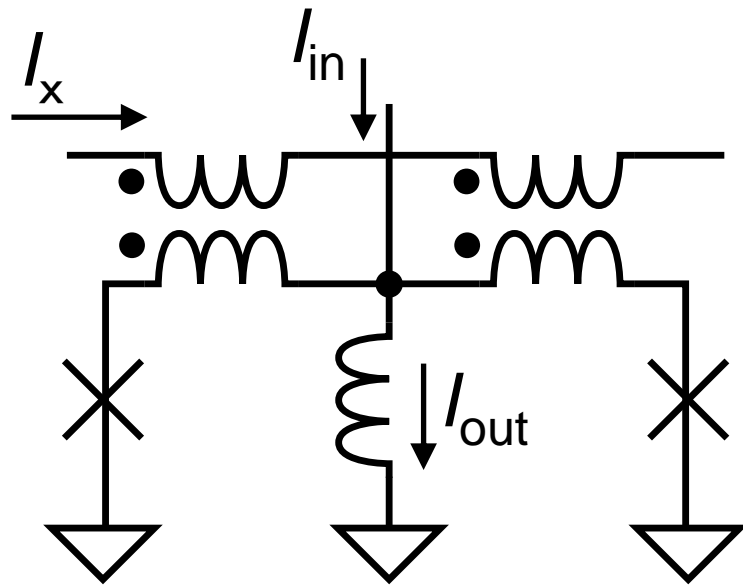


Tanaka et al., JJAP 51 (2012) 053102.

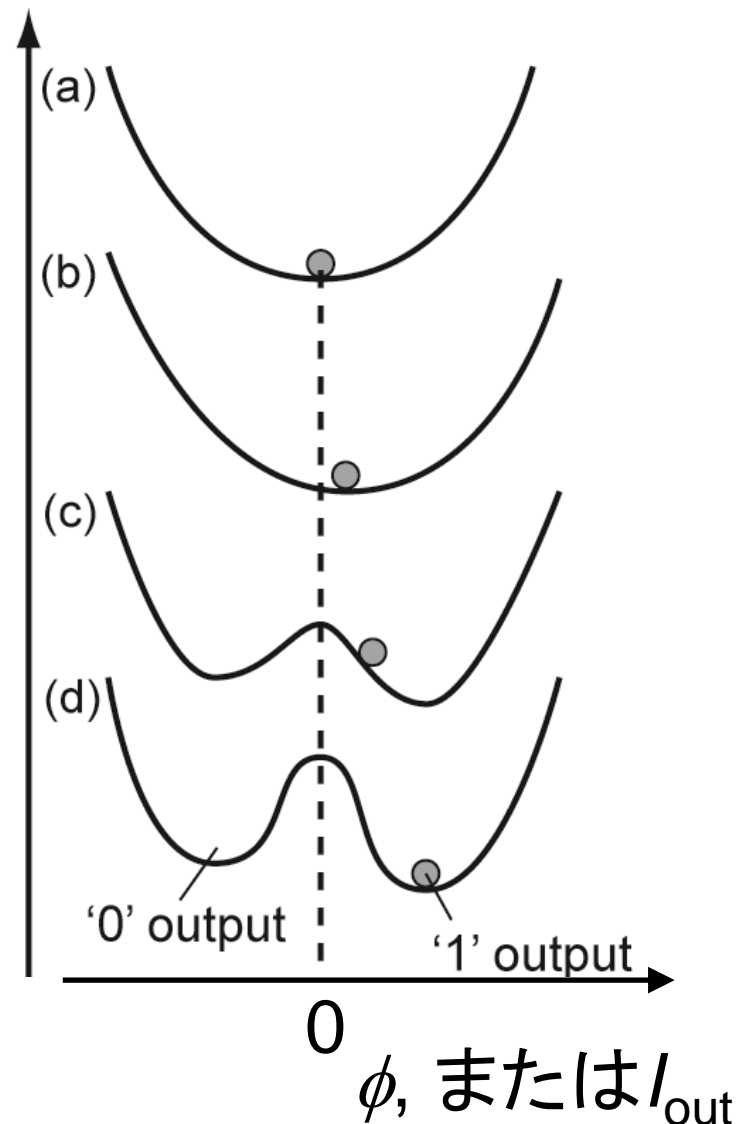
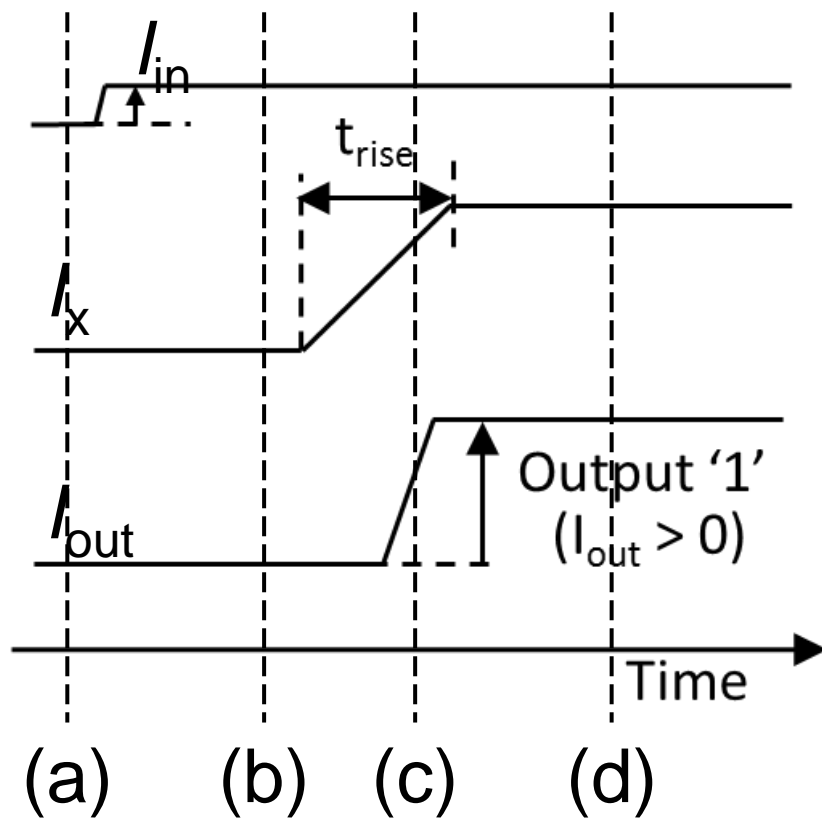
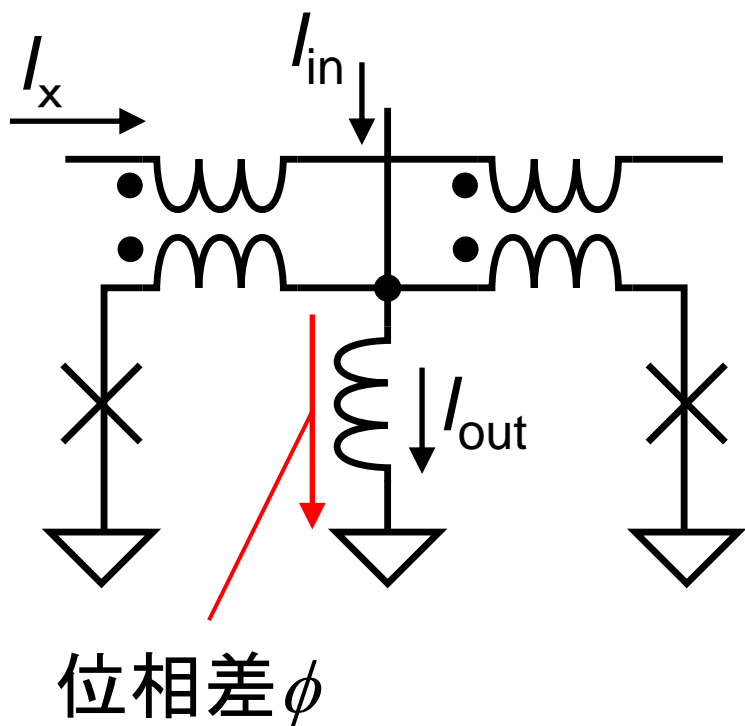
量子磁束パラメトロン(QFP)/超伝導磁束量子ビット



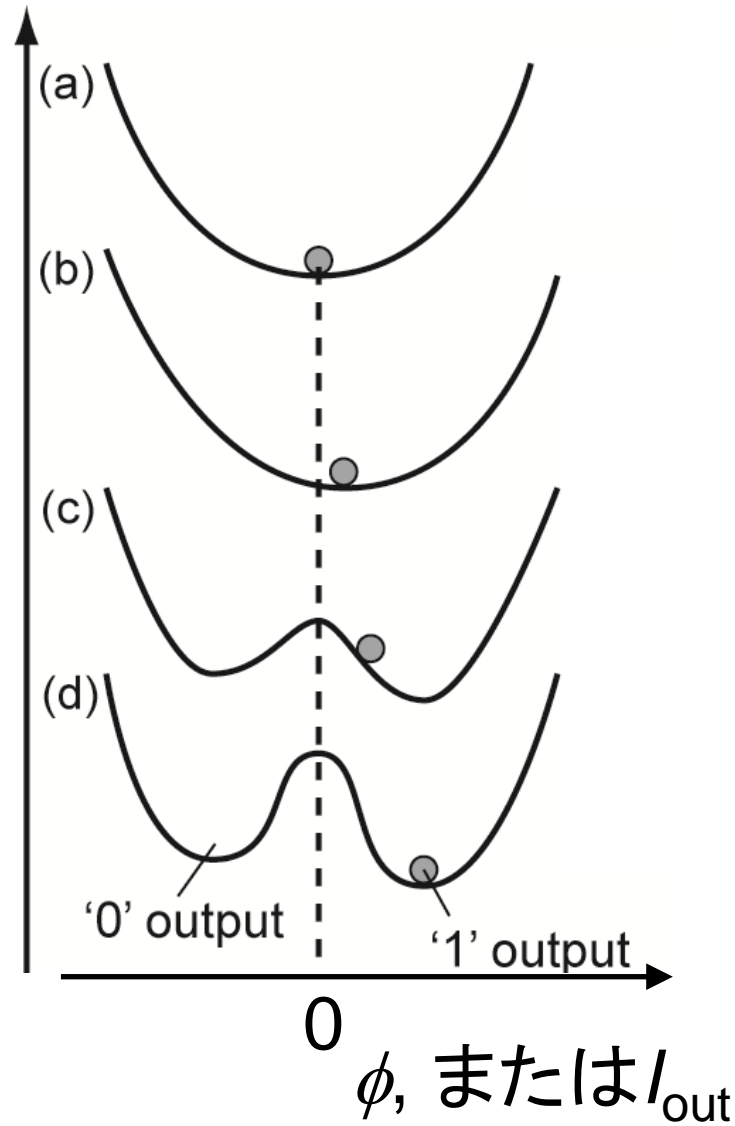
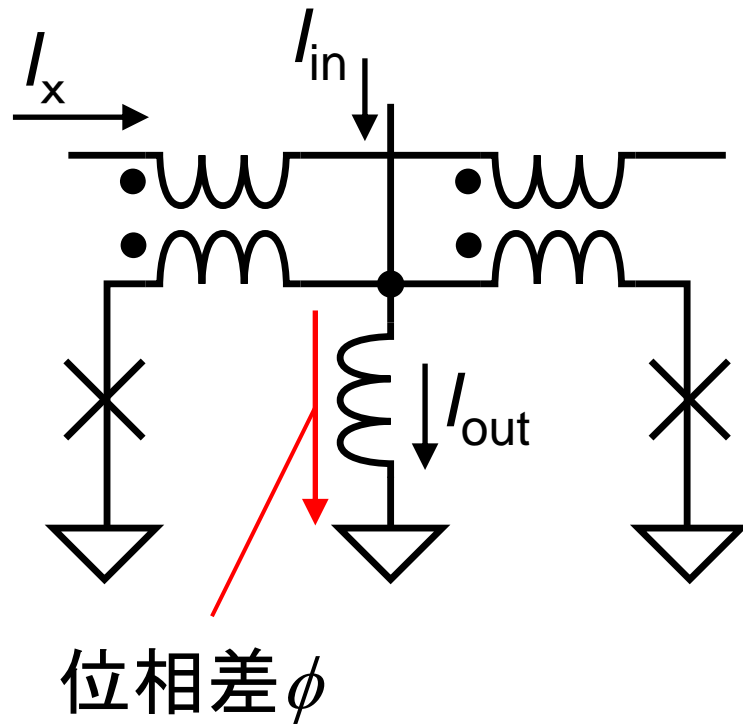
QFPの動作



QFP動作中のポテンシャル変化



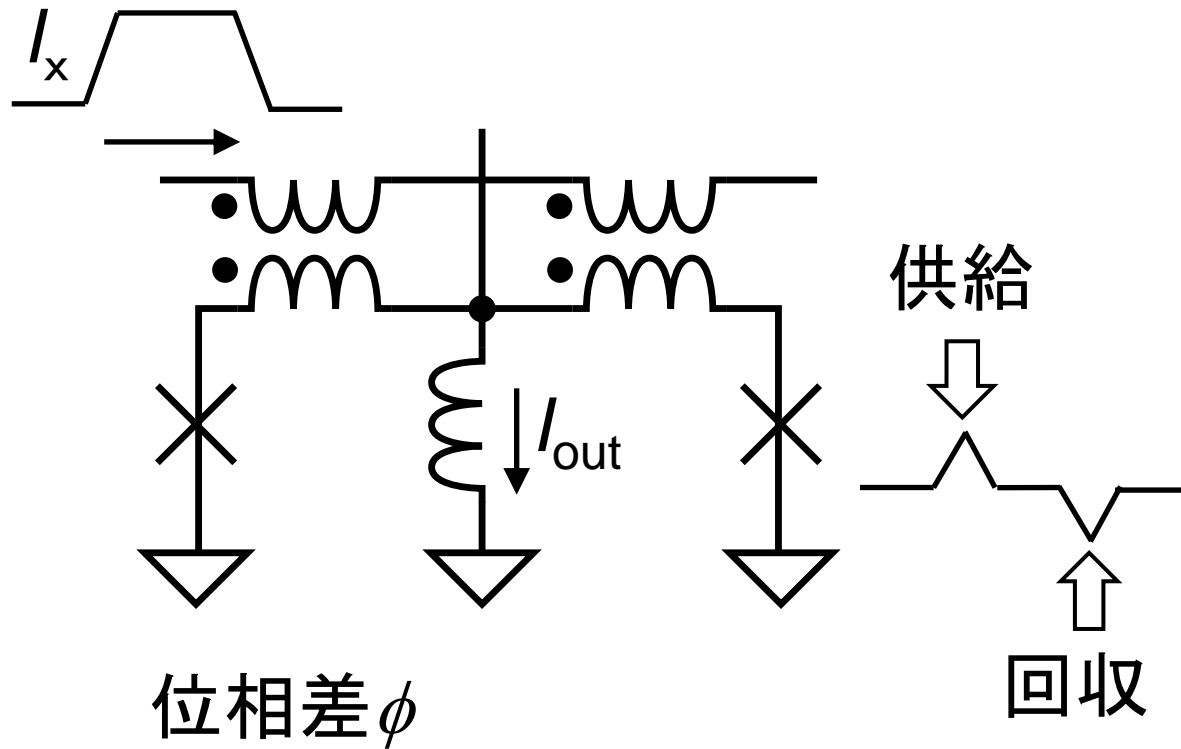
断熱QFP (AQFP)



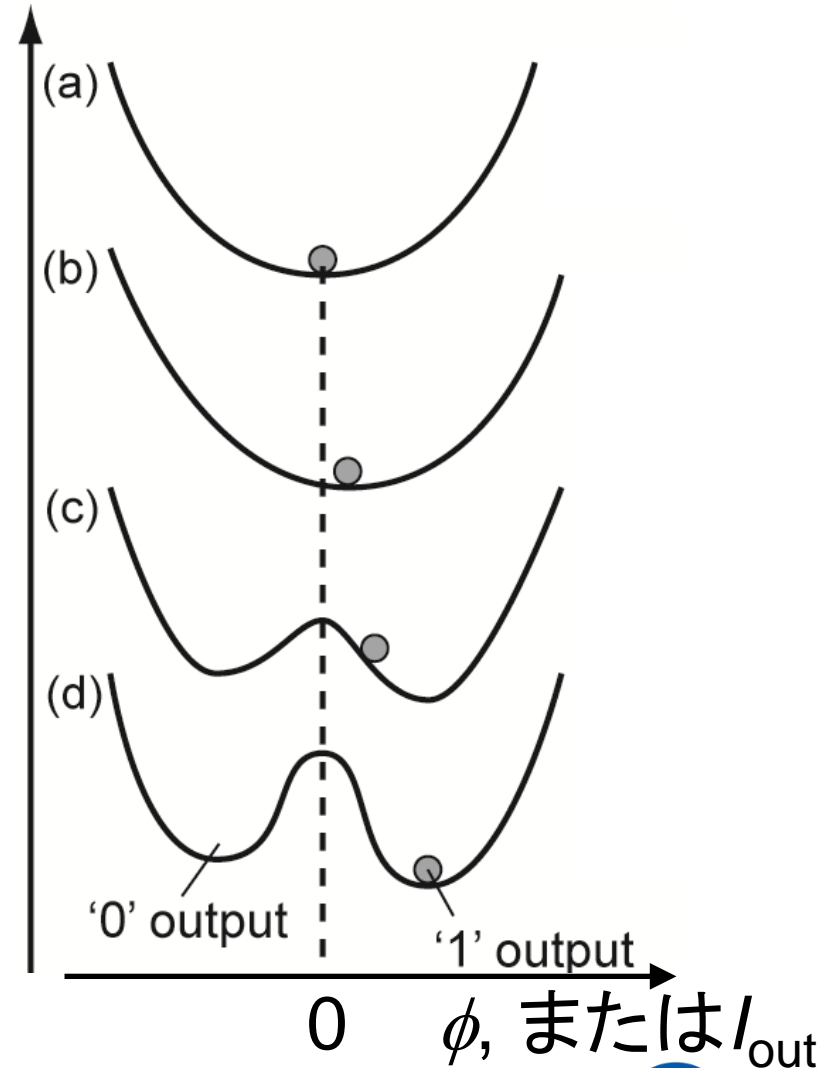
$$V = \frac{\hbar}{2e} \frac{d\phi}{dt}$$

I_x をゆっくり立ち上げ、
断熱動作させる

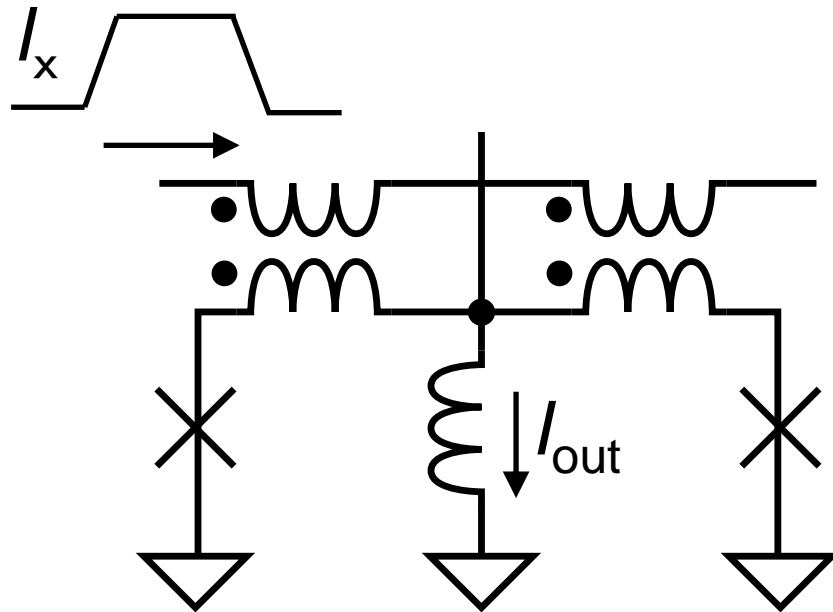
AQFPのエネルギー回生



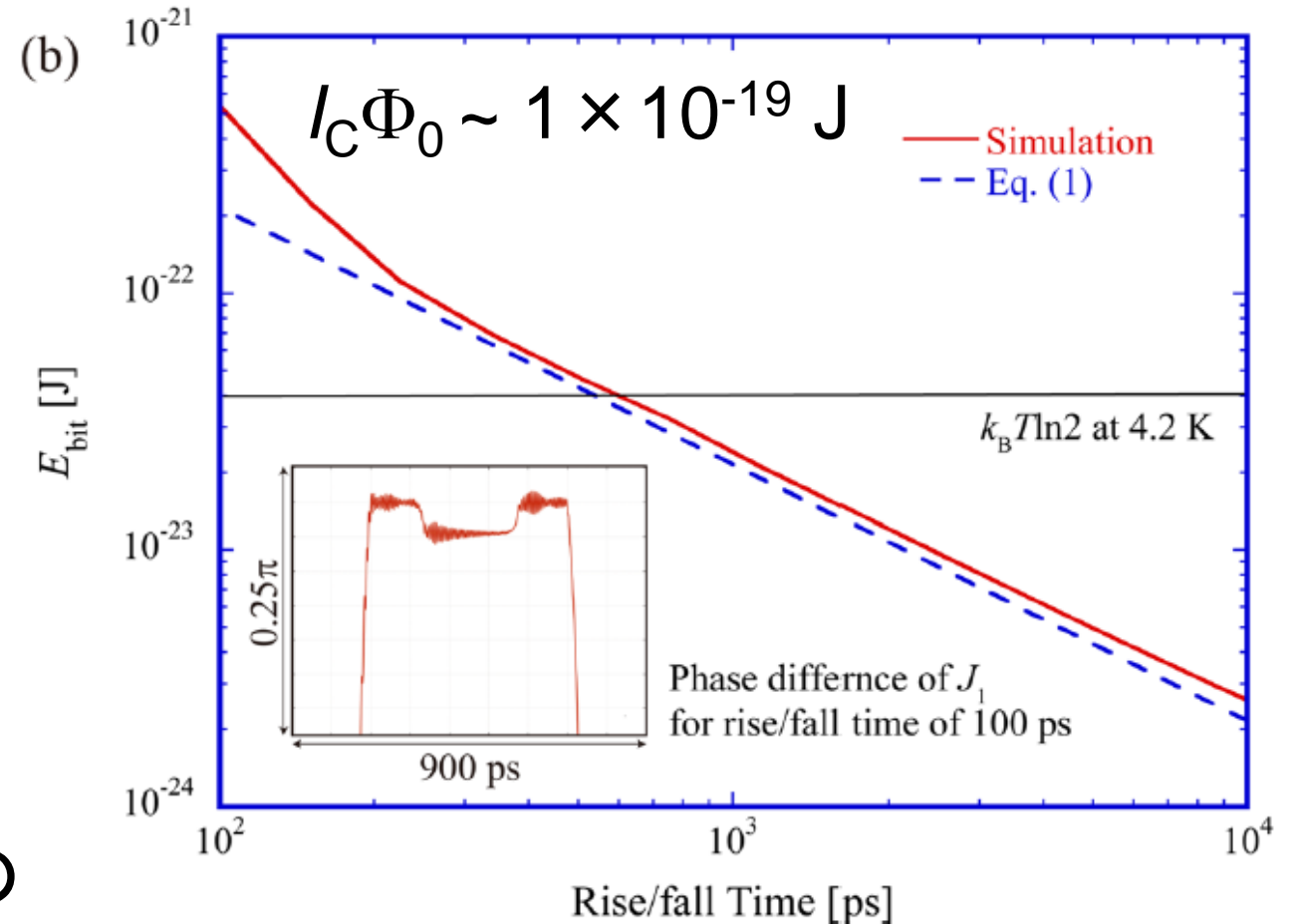
交流駆動により、電源にエネルギーが回生される



AQFPの消費電力

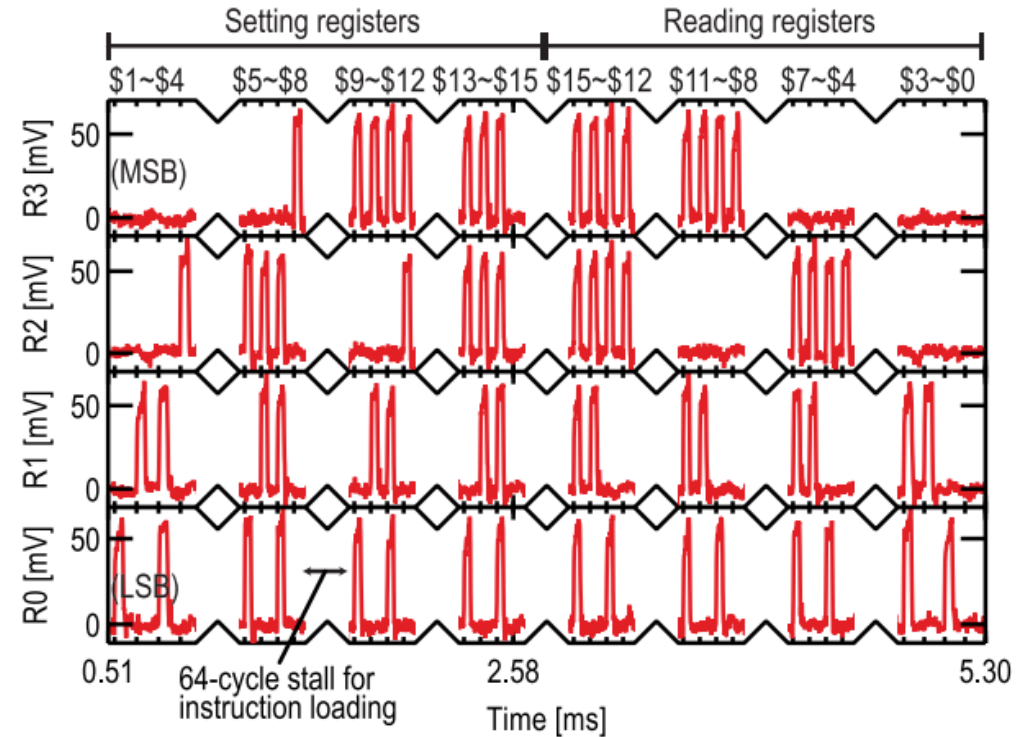
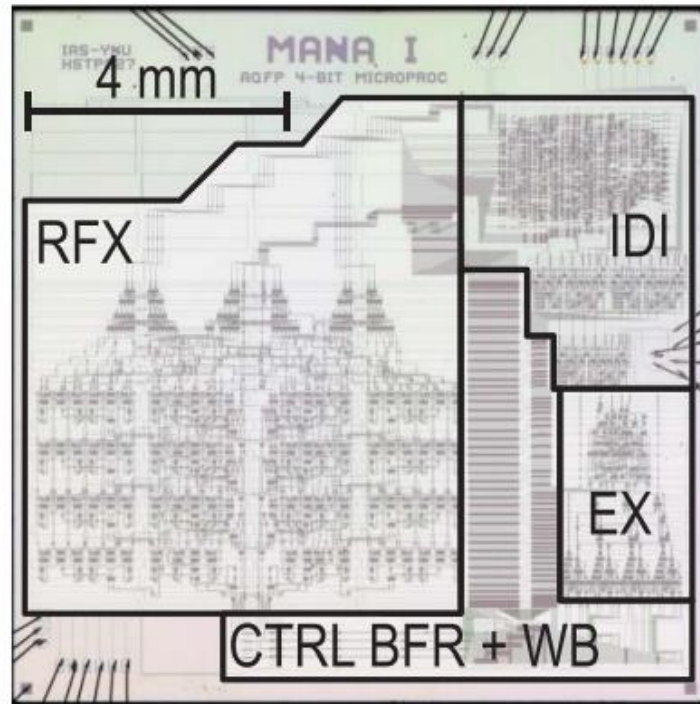


断熱動作とエネルギー回生の
合わせ技で極限の低電力化



I_x の立ち上がり/立下り時間

AQFP 4-bit Microprocessor



2.5 GHz動作実証

7 nm CMOSに比べて電力効率80倍(含冷却コスト)

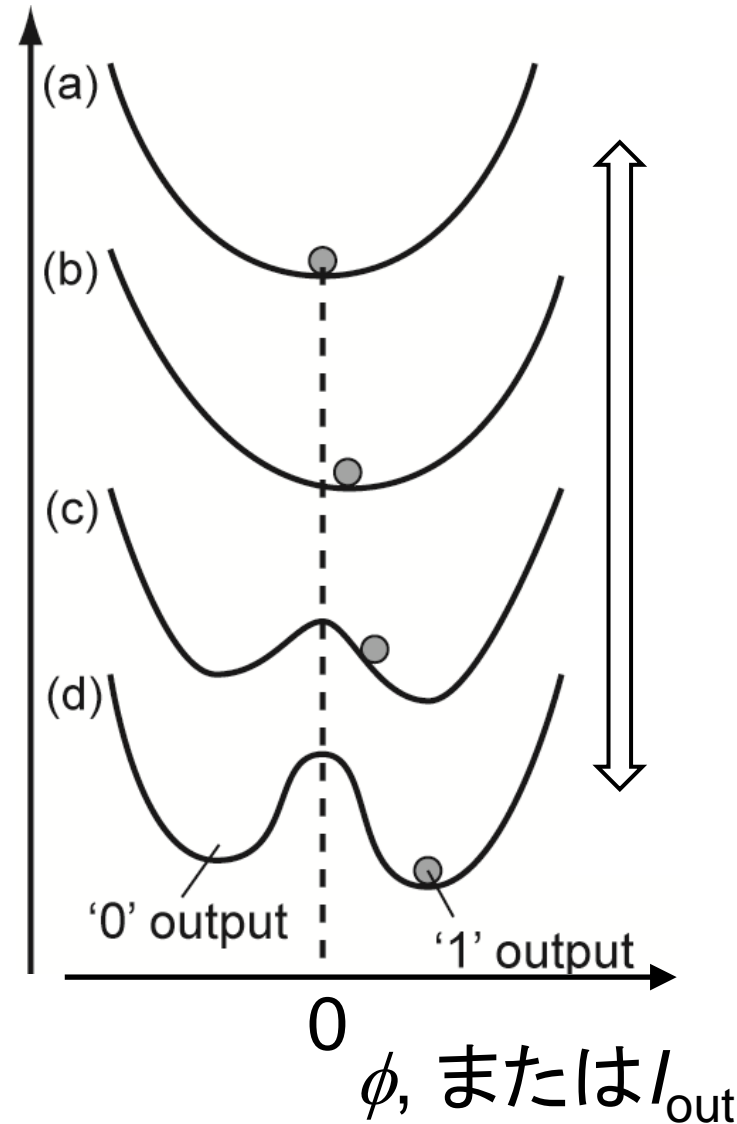
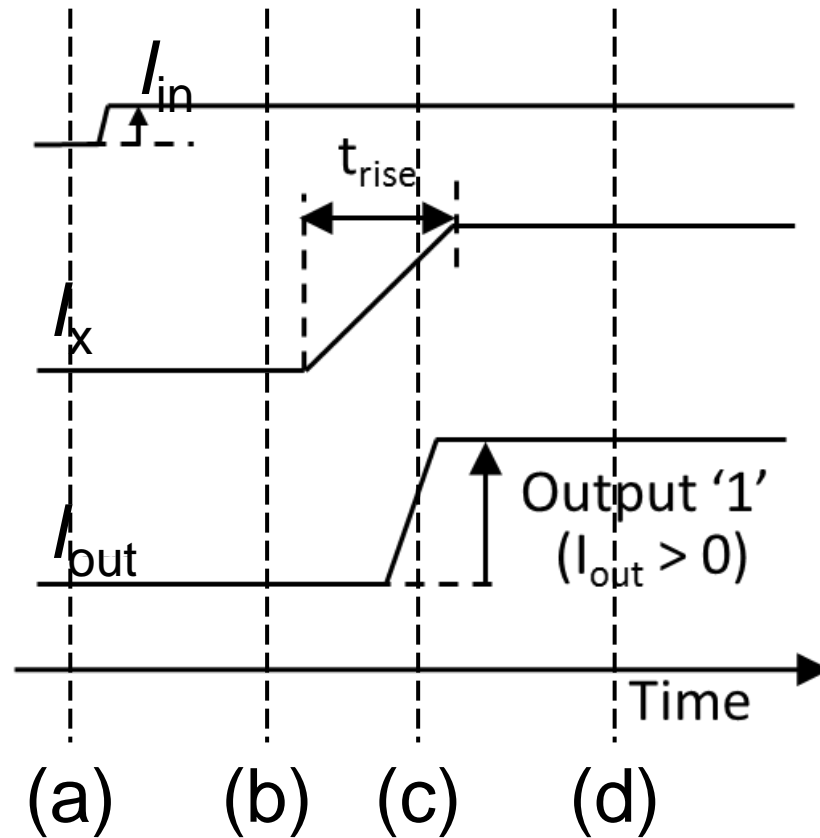
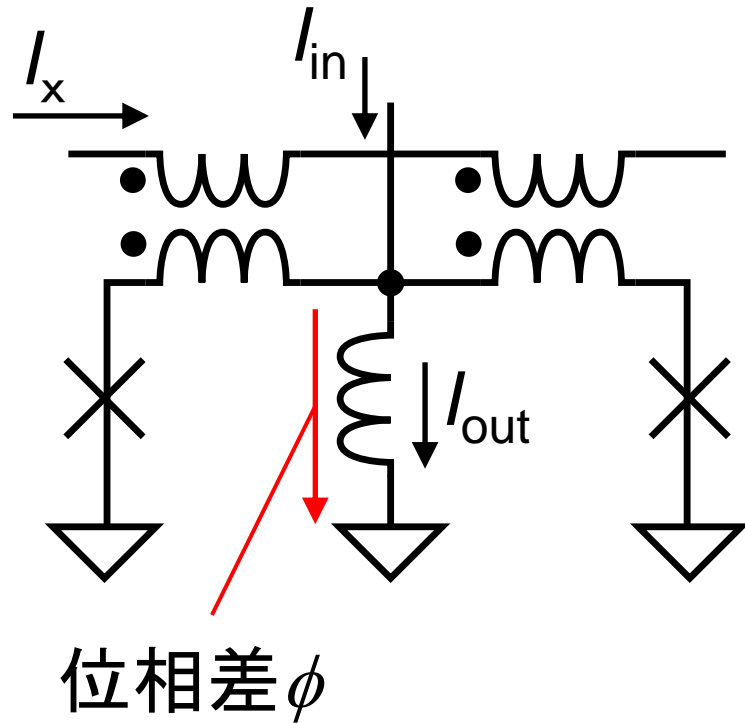
Ayala et al., IEEE J Solid-State Circuit 56 (2021) 1152.



本講演の概要

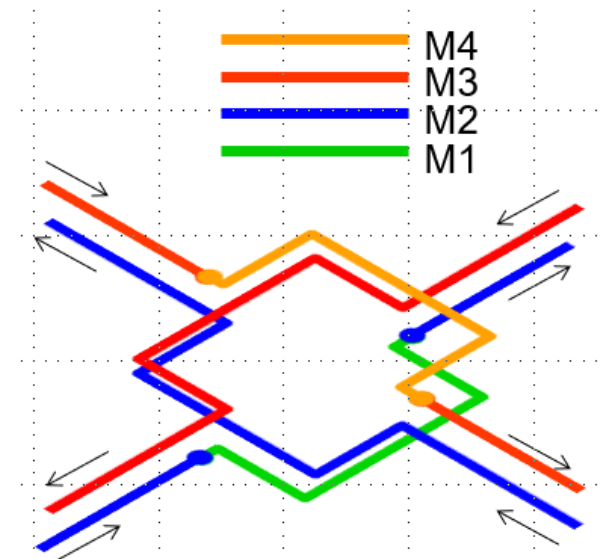
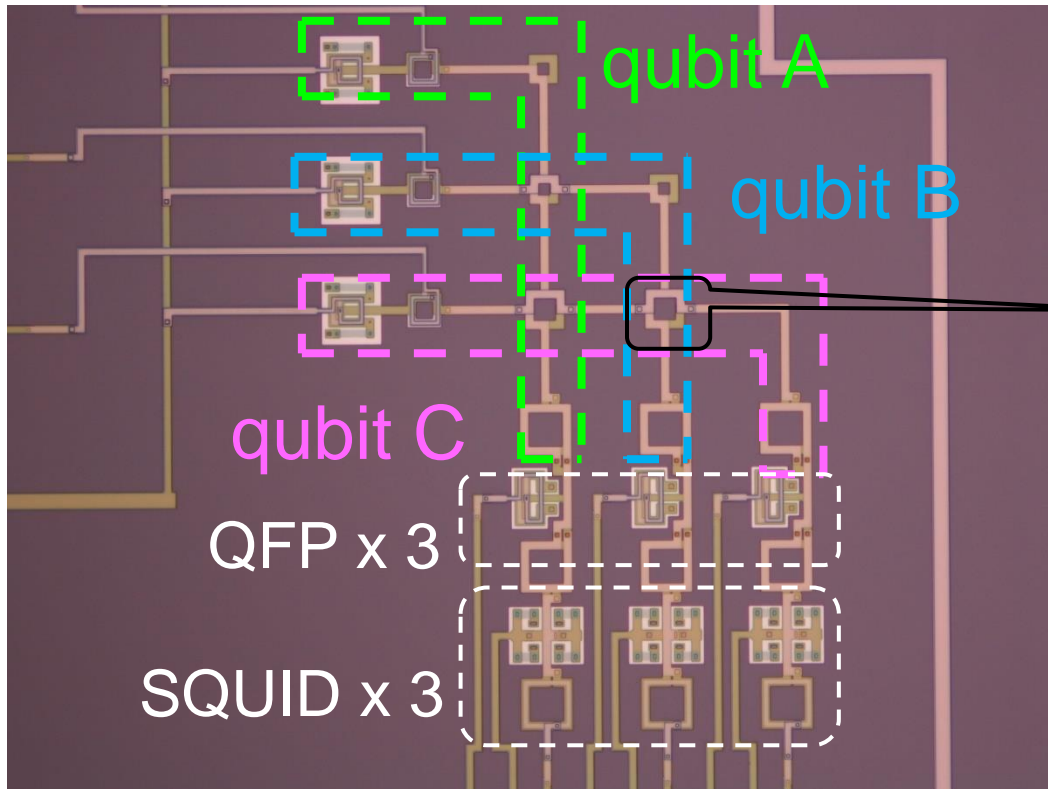
- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

超伝導回路における可逆動作



断熱遷移ををする場合、時間反転が可能
出力から入力を復元(可逆動作)

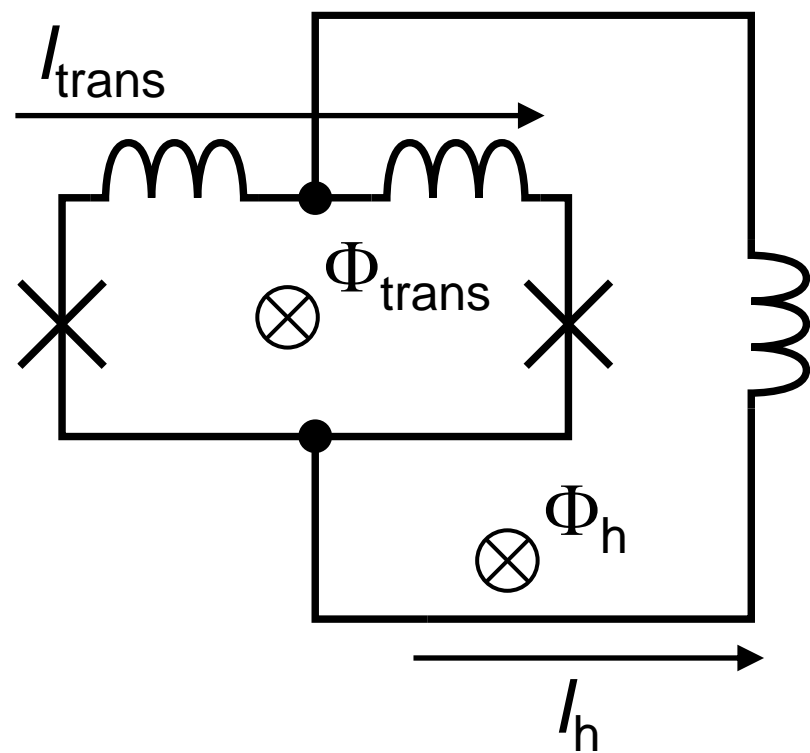
超伝導量子アニーリング回路



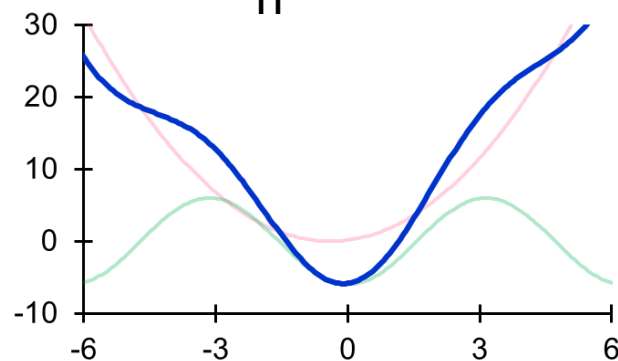
相互インダクタンス
部の構造

AIST-QAD process, $J_C = 100 \text{ A/cm}^2$,
4 Nb layer, No ground plane

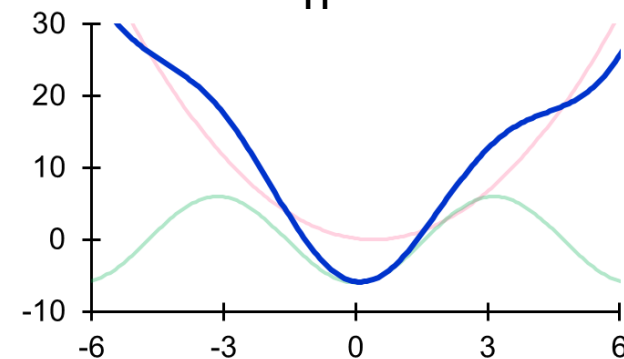
超伝導磁束量子ビット



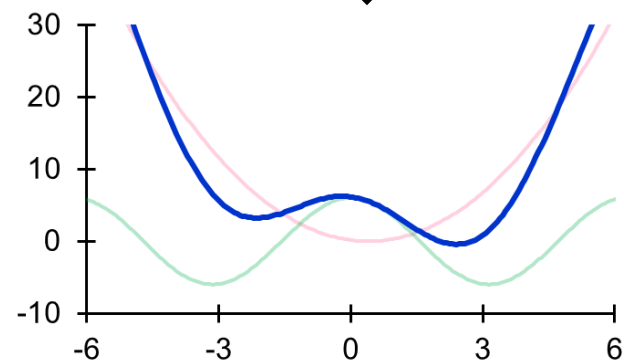
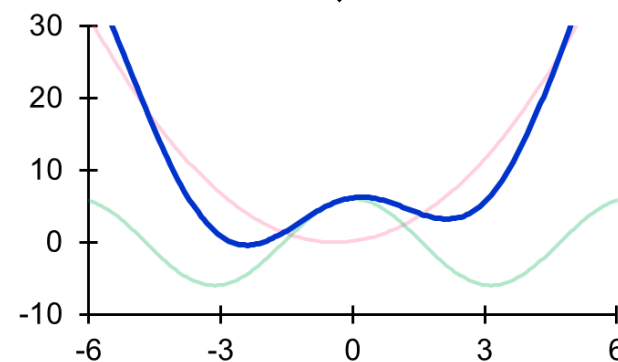
$I_h < 0$



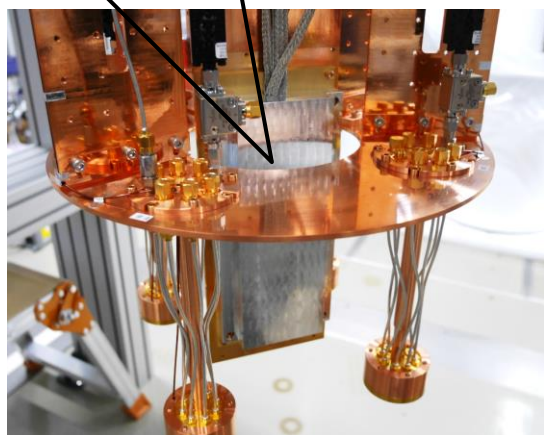
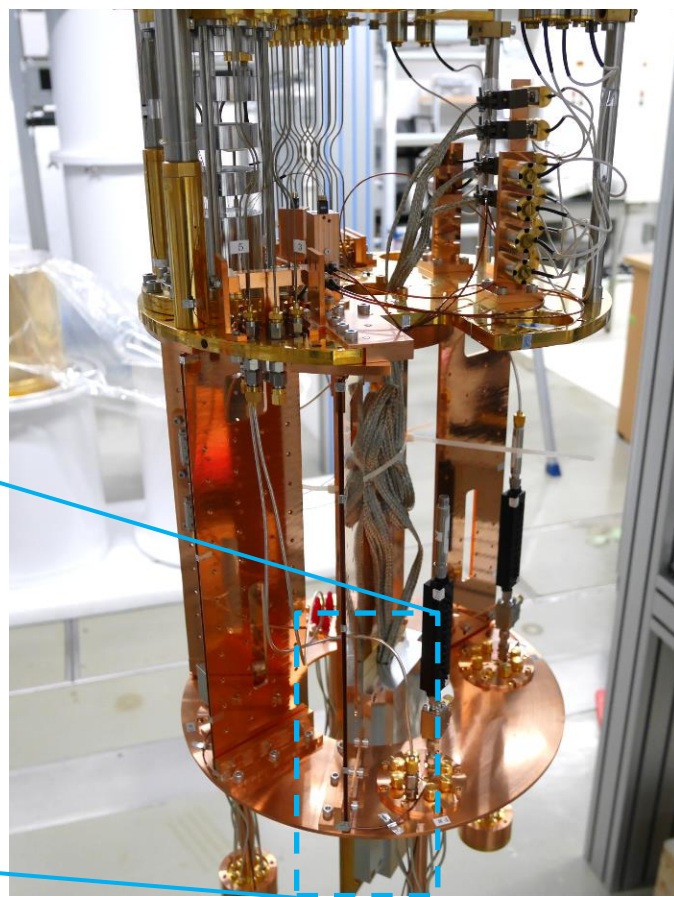
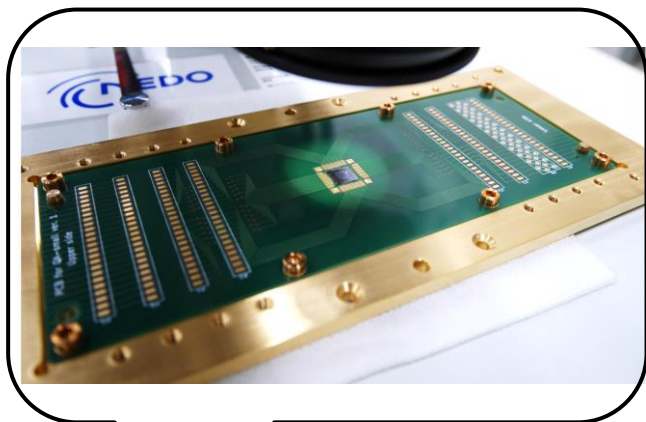
$I_h > 0$



$\Phi_{\text{trans}} = \Phi_0$ 印加

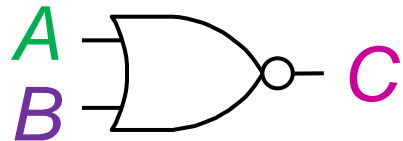


量子アニーリング回路測定

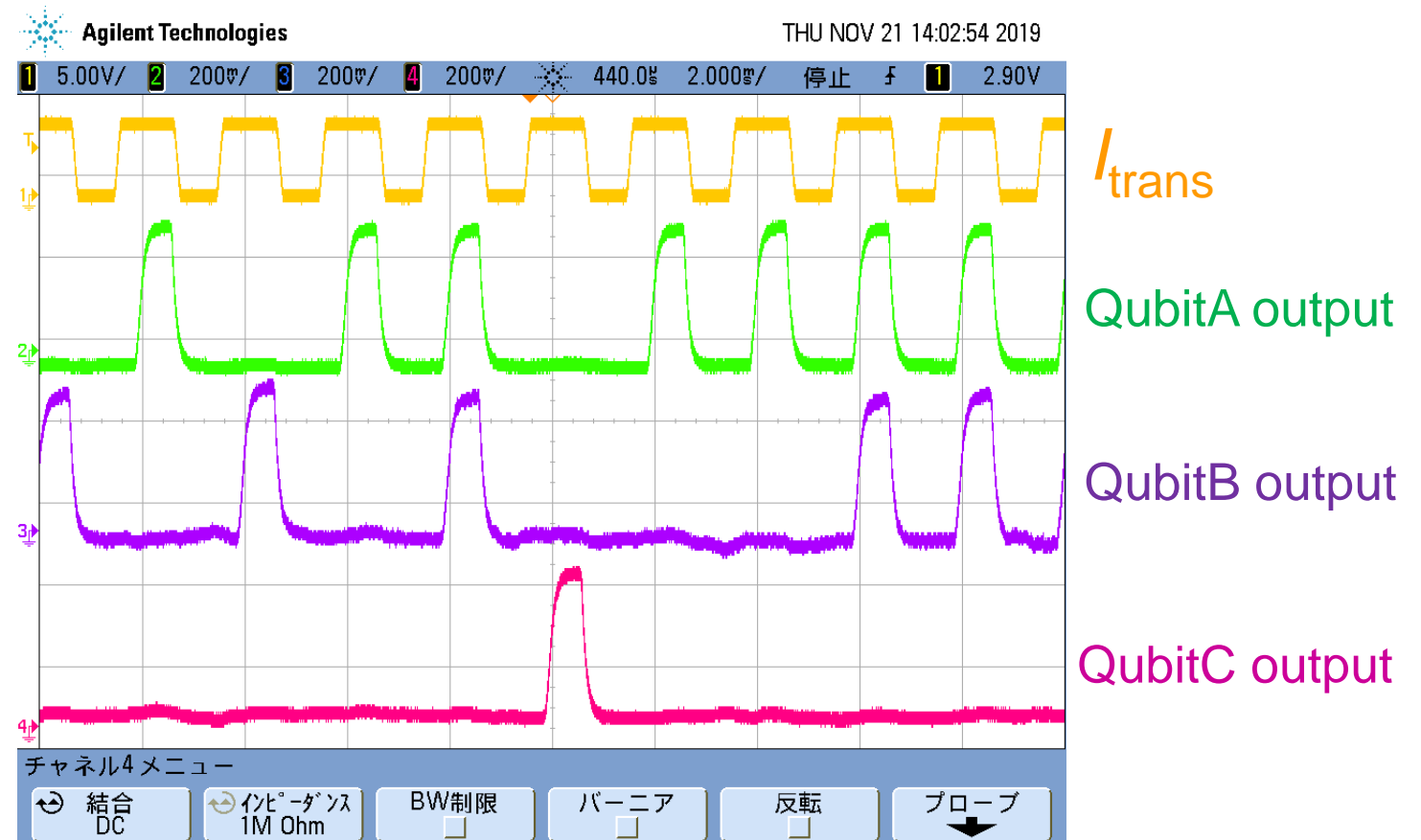


NORの順動作

$$I_{hA} = 1.99 \text{ uA}, I_{hB} = 1.42 \text{ uA}, I_{hC} = 4.50 \text{ uA}$$

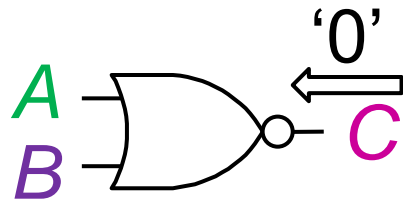


A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

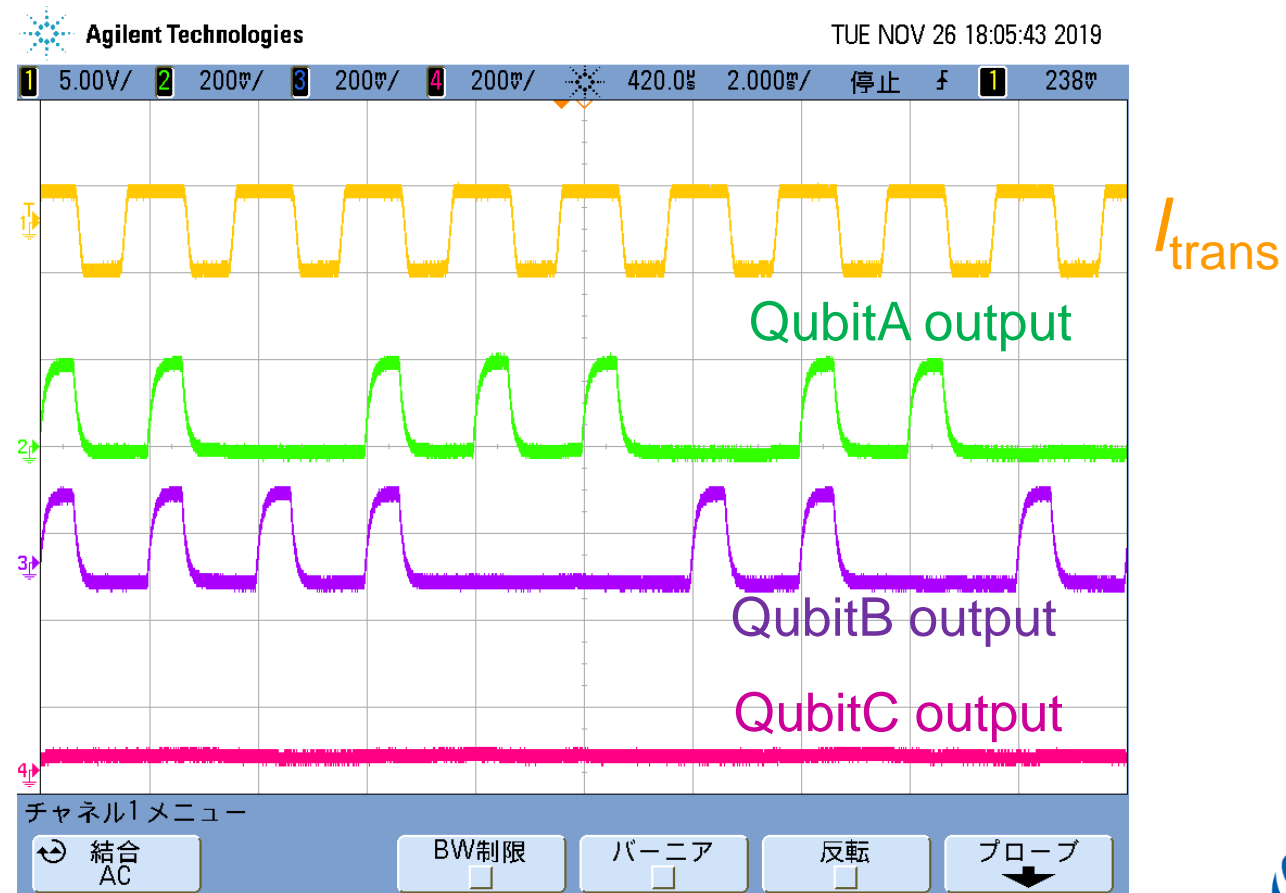


NORの逆動作の確認

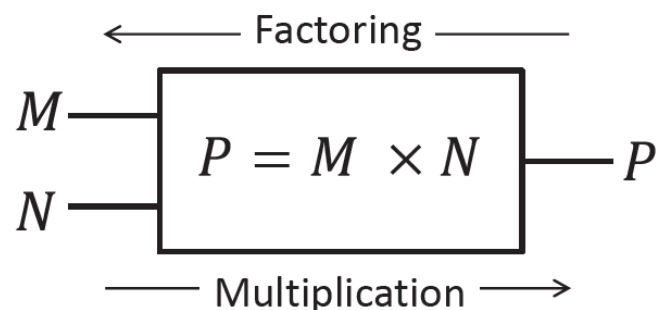
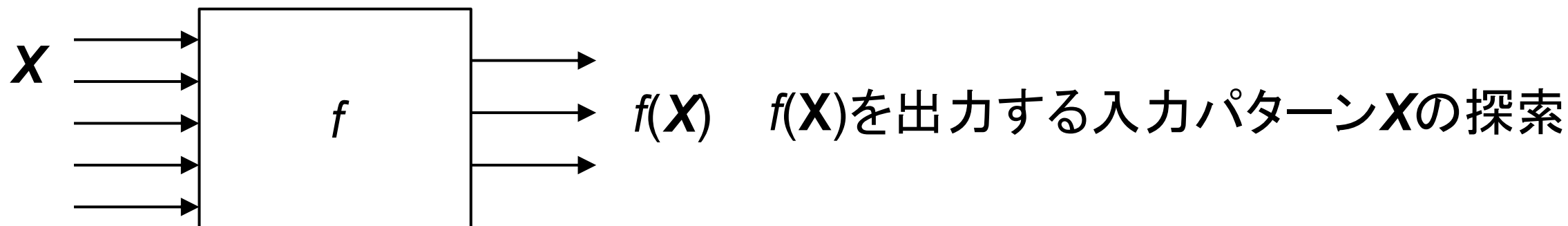
$$I_{hA} = 1.80 \text{ uA}, I_{hB} = 1.67 \text{ uA}, I_{hC} = 3.37 \text{ uA}$$



A	B	C
0	0	1
0	1	0
1	0	0
1	1	0



可逆動作の応用例



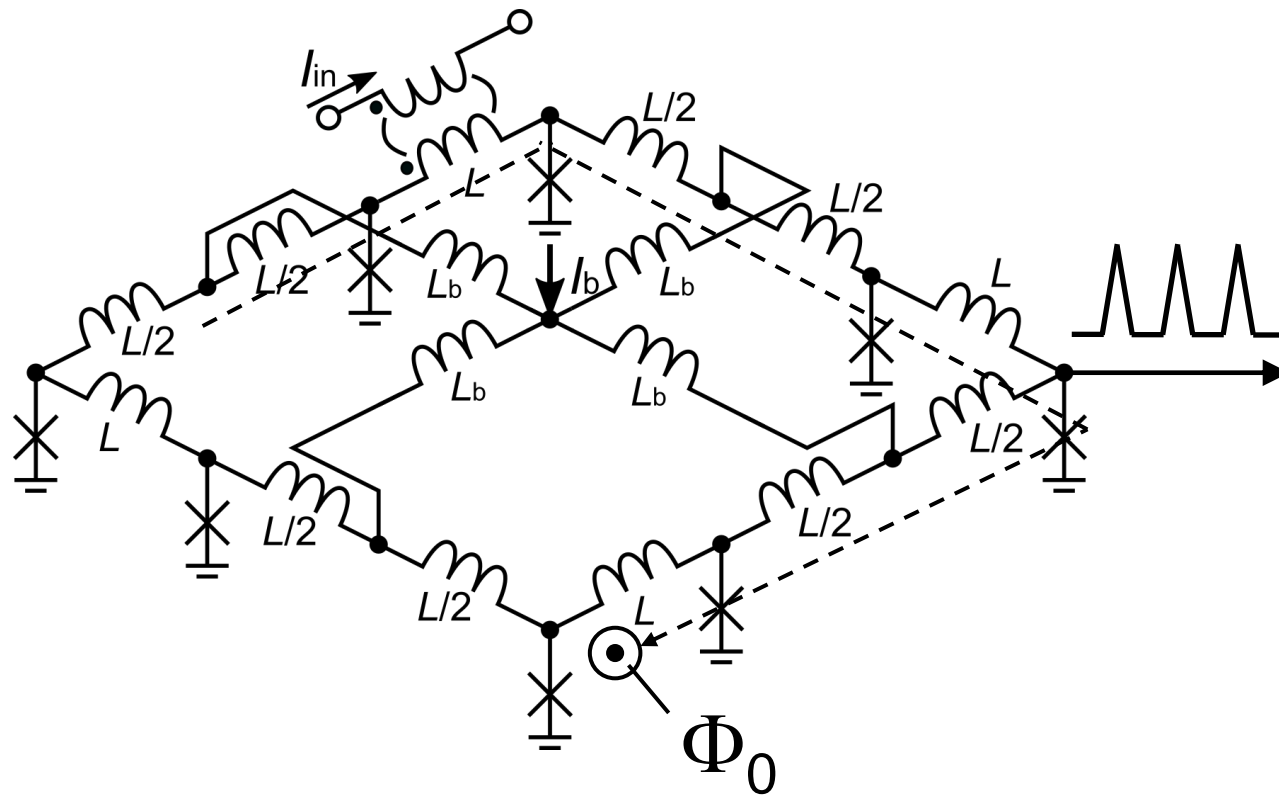
Maezawa et al.,
JPSJ 88 (2019) 061012.

その他、逆問題専用回路、可逆ニューラルネットとその学習...

本講演の概要

- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

従来のSFQクロック発生回路

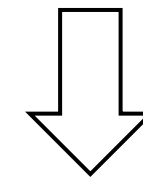


1 接合当たりのタイミングジッタ
(スイッチング時間の標準偏差)

~ 0.1 ps

起源はシャント抵抗の熱雑音

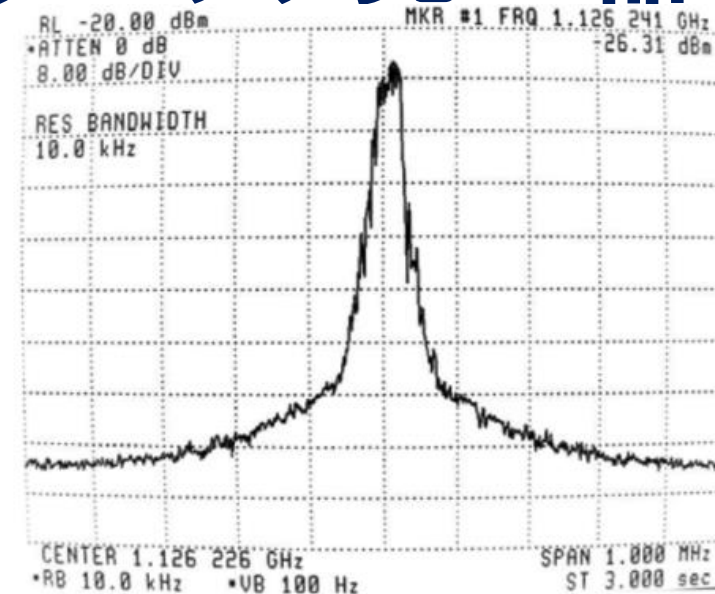
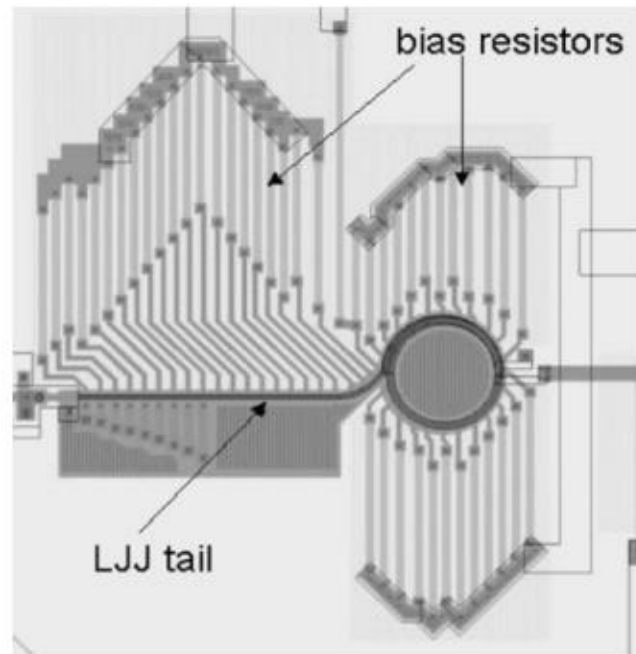
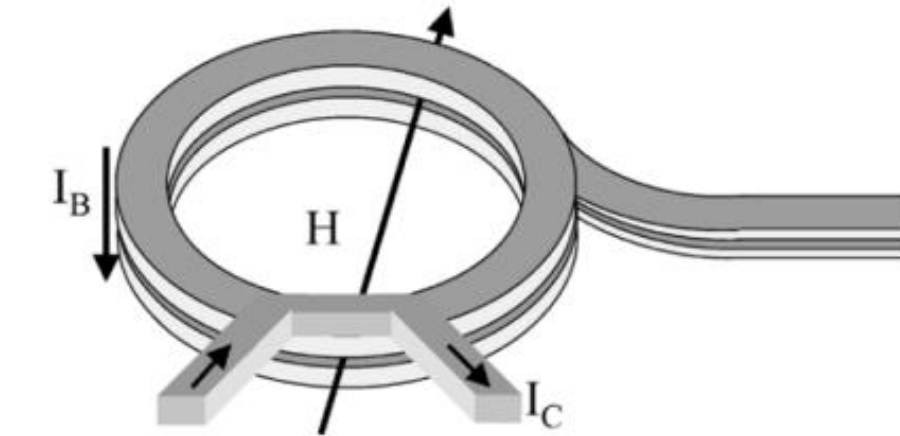
Terai et al., APL 84 (2004) 2133.



発振周期(~30 ps)の揺らぎ

~ 0.3 ps (1%)

LJJを用いたSFQクロック発生器



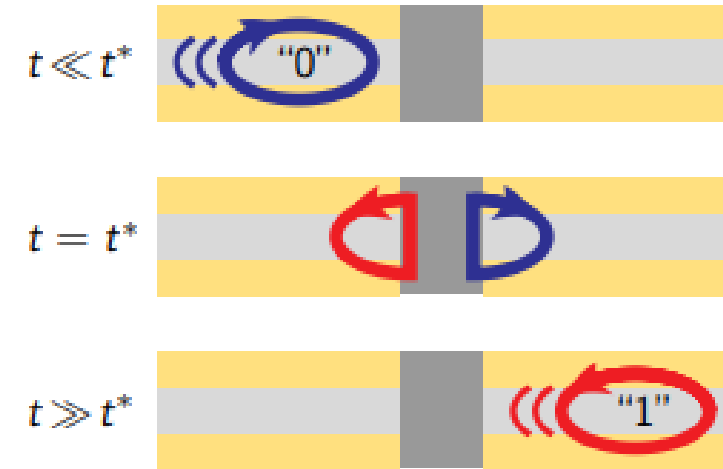
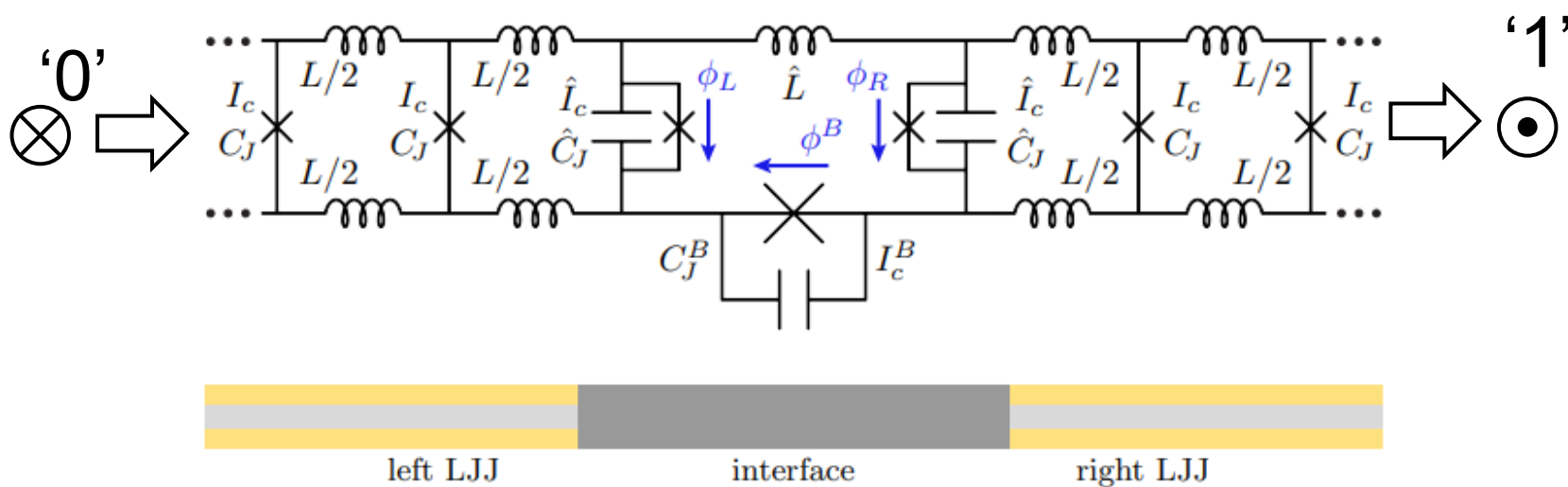
36 GHz発振時

$Q = 4.8 \times 10^6$, ジッタ = 9 fs

Kirichenko et al., IEEE TAS 15 (2005) 296.

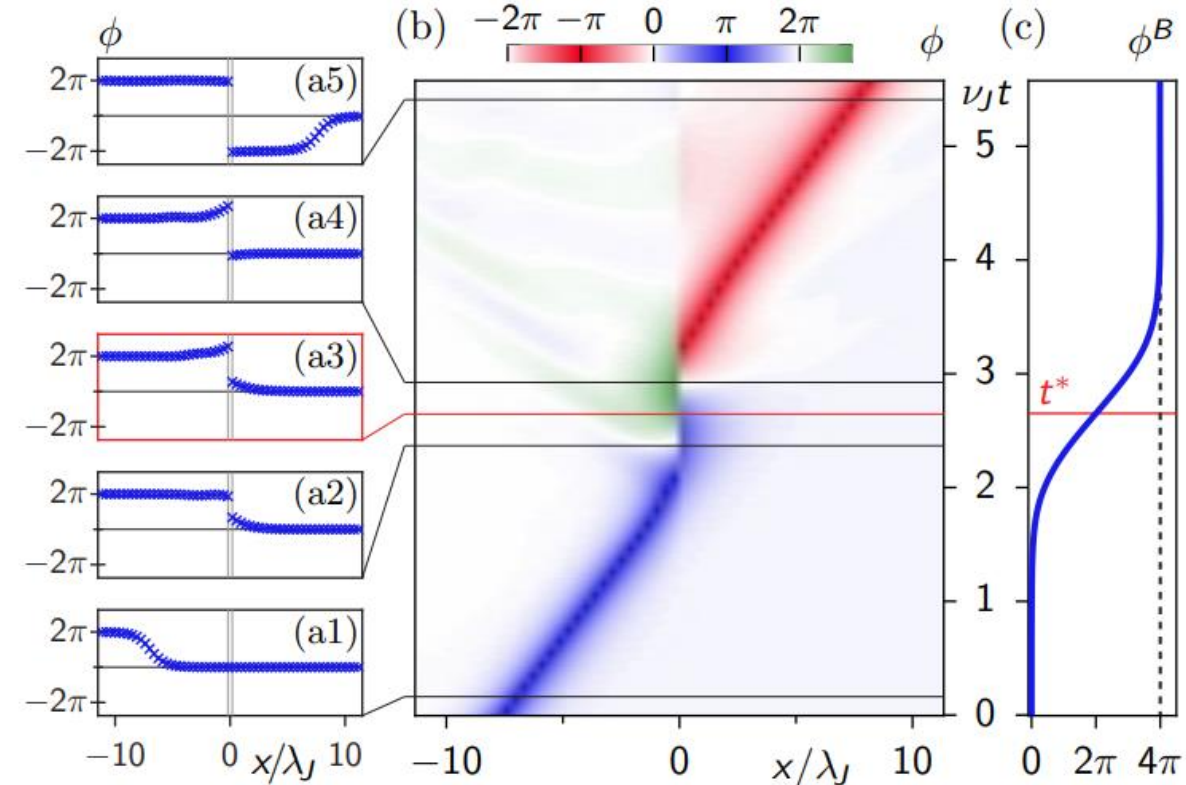
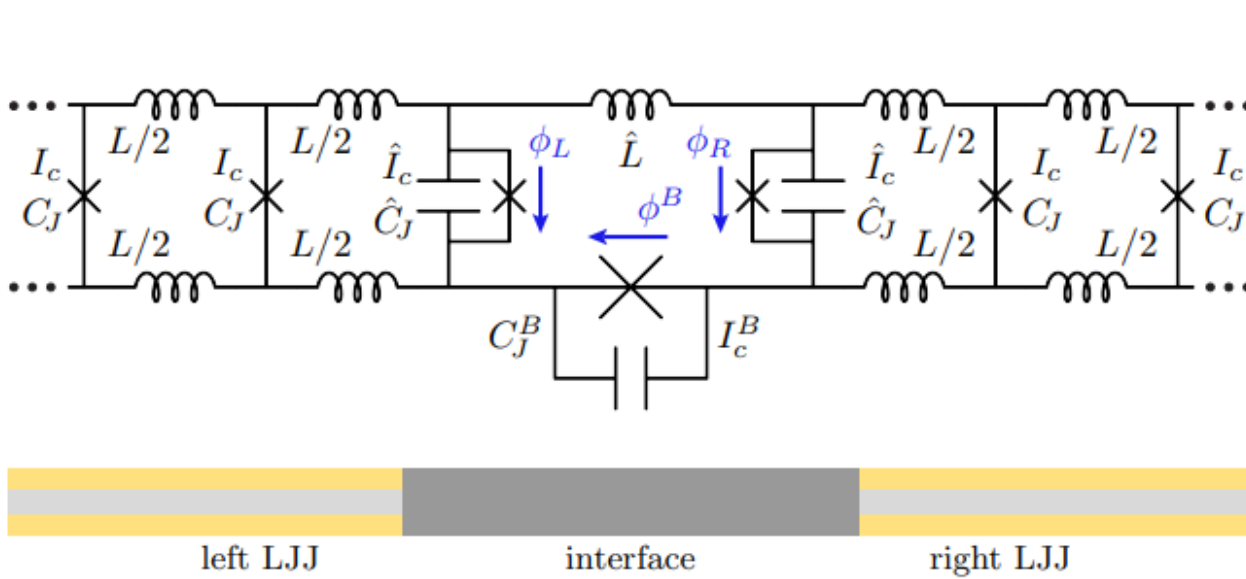
LJJを用いた可逆回路

Reversible Fluxon Logic (RFL) NOT gate



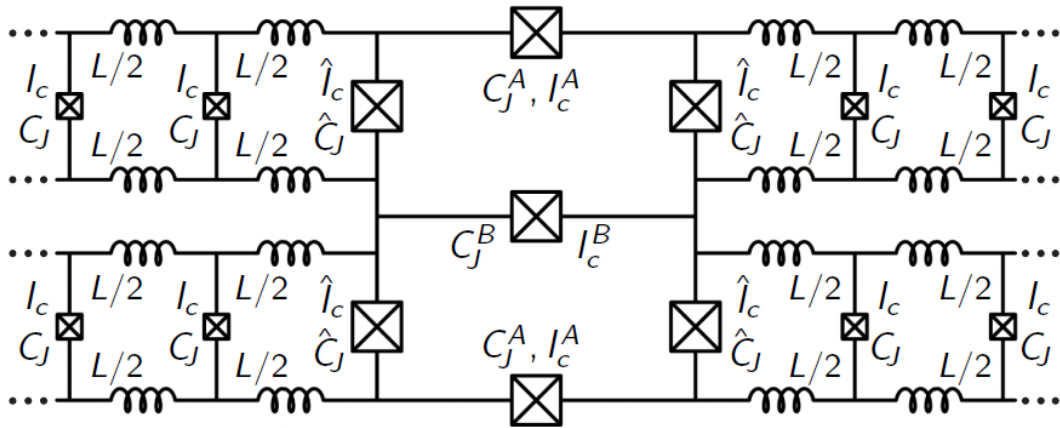
Wustmann and Osborn, PRB 101 (2020) 014516.

RFL NOTの数値計算結果

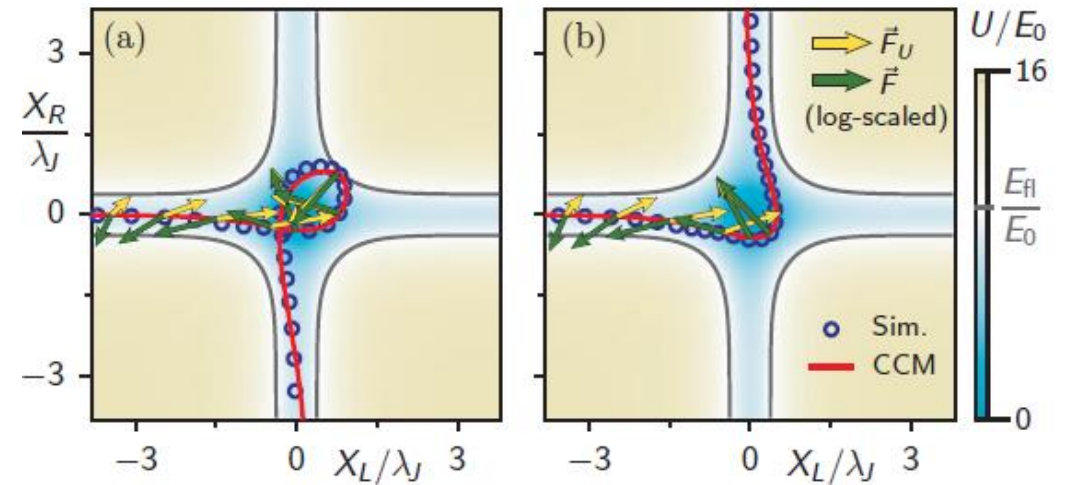


Wustmann and Osborn, PRB 101 (2020) 014516.

その他のRFL Gates



2入力2出力論理ゲート
(制御NOT、制御SWQP)



Billiard-ball computing

本講演の概要

- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

ストカスティックコンピューティング (SC)

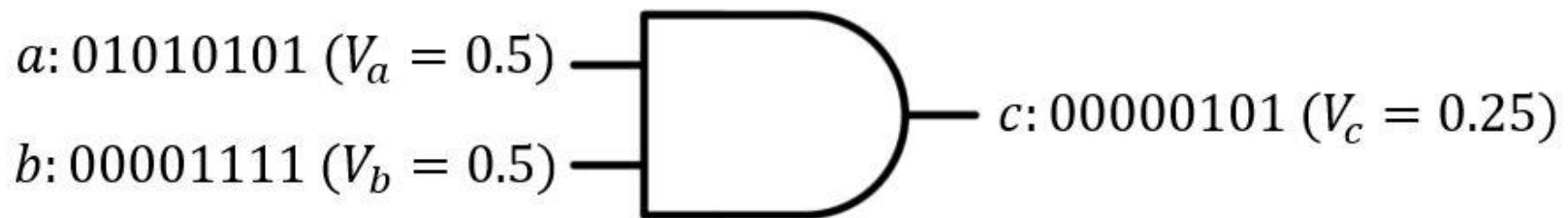
ビット列中の'1'の存在確率で情報表現

Approximate Computingの1種

$$1100101001 \rightarrow (5/10) = 0.5$$

$$1000000010 \rightarrow (2/10) = 0.2$$

ストカスティック乗算 (ANDゲート一つで可能)



高面積効率、低電力動作、エラー耐性



情報表現に時間かかる、ビット列相関による精度劣化

SFQ回路はSCに最適？



確率を用いるため、情報表現にある程度の時間が必要

⇒ SFQ回路は100 GHz以上の高スループット
短い時間でストカスティック数を表現可



エラー耐性あり

⇒ ビットエネルギー($\sim I_c \Phi_0$)をさらに減らせる
エラーを防ぐため、従来は $I_c \Phi_0 > 1000 k_B T$



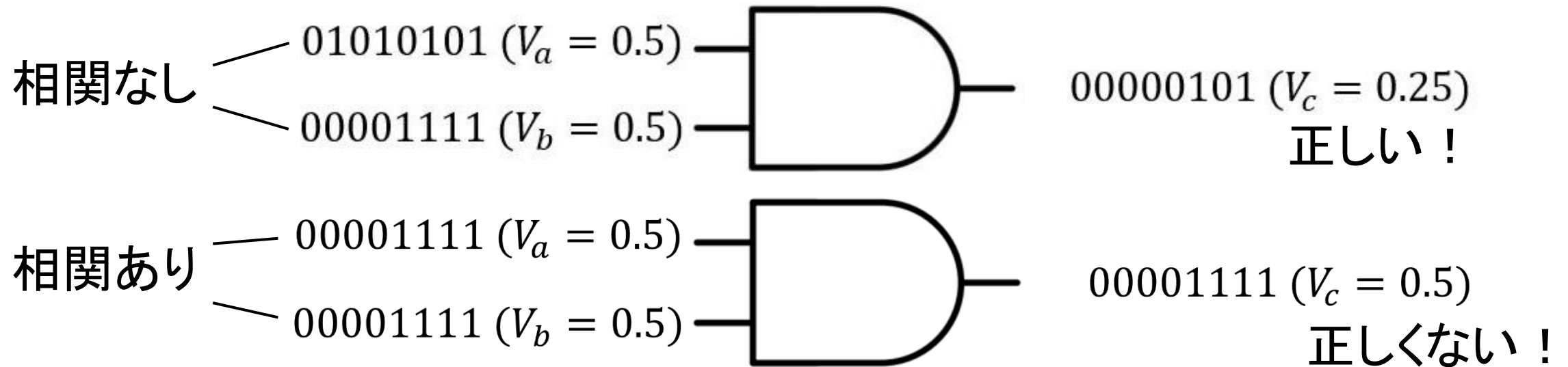
SC数の測定が簡単

周波数 f 、'1'の確率 P の時、回路の平均電圧出力は $fP\Phi_0$

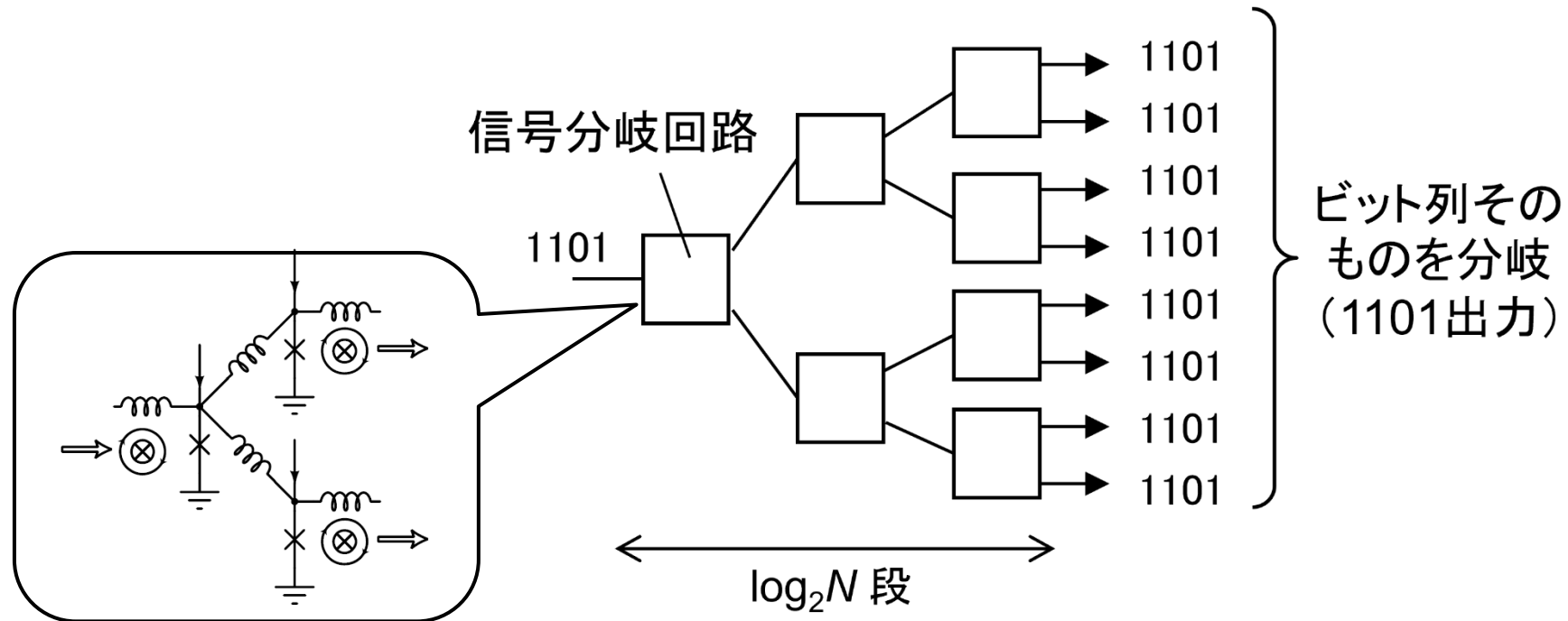
あとは相関の問題が解決できれば・・・

ビット列間相関によるSCの計算精度劣化

x_2 の計算例

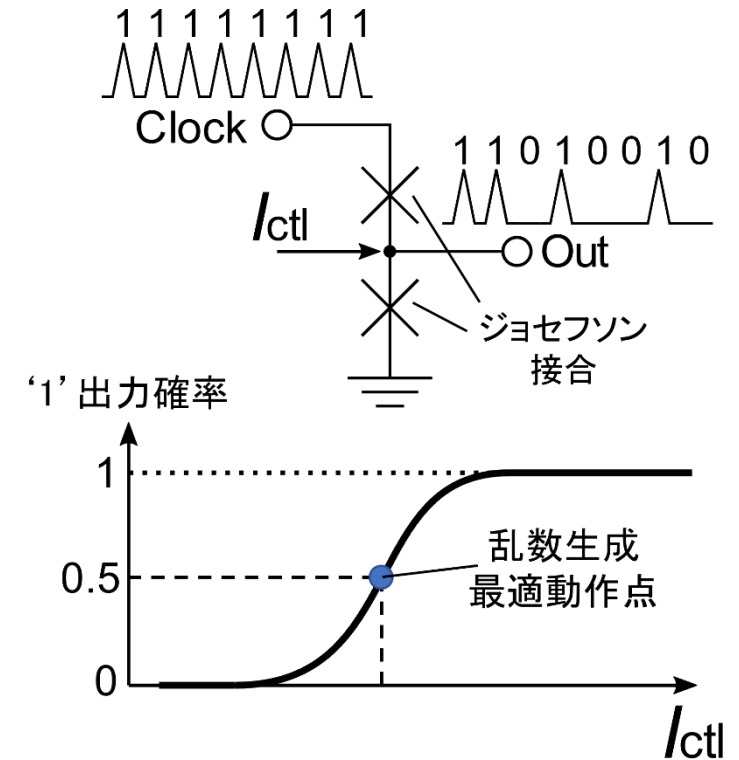
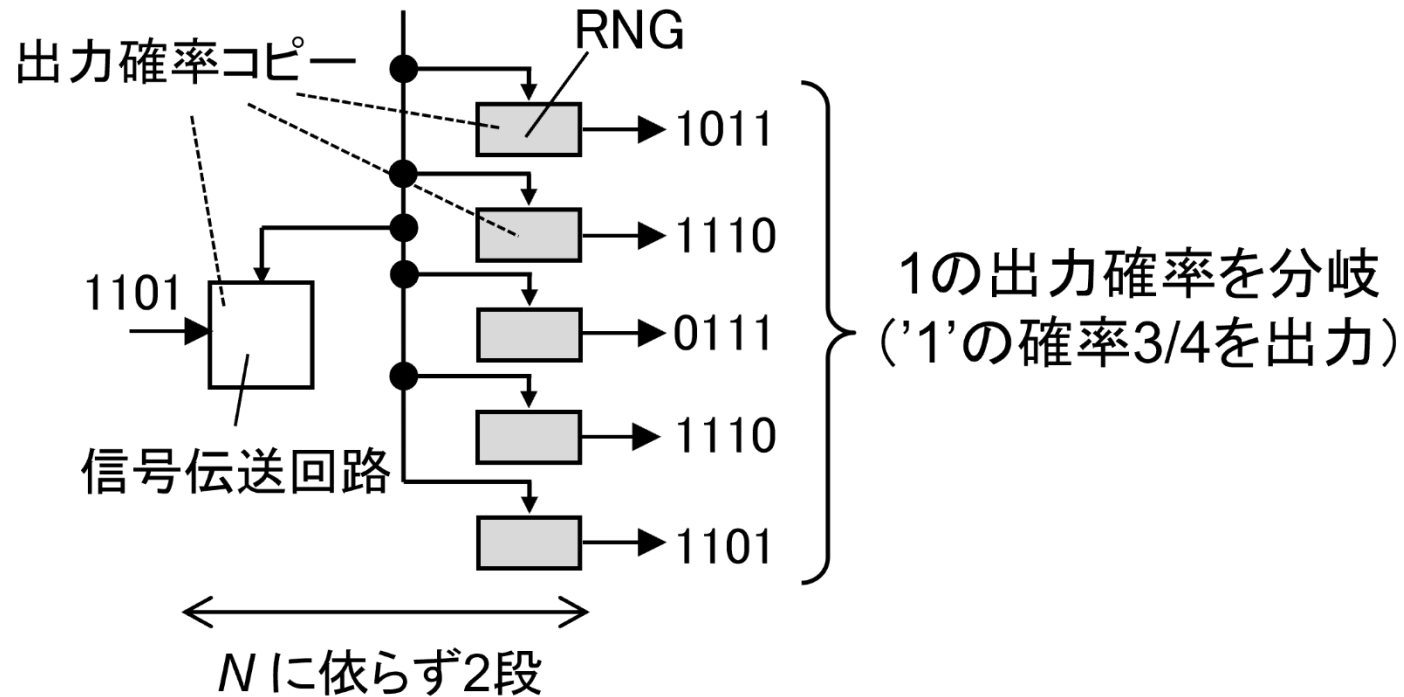


従来のSC信号分岐回路



- × 出力間の相関による誤差発生
- × 回路面積大

最近提案したSFQ SC分岐回路



超伝導物理乱数生成器(RNG)を用いた出力確率コピー

- ・出力ビット列間の相関小
- ・分岐回路の面積小
- ・ 2^n 分岐以外も簡単にできる

まとめに代えて

- 研究背景
- 超伝導回路とその利点
- 超伝導回路の設計の現状
- 様々な超伝導回路の研究動向
 - ◆ 断熱駆動による低電力回路
 - ◆ 可逆回路
 - ◆ 長い接合を用いた回路
 - ◆ ストカスティック回路

最後に宣伝

2022年度秋季

第104回 低温工学・超電導学会研究発表会

日程 2022年12月7日[水]～9日[金]

会場 長良川国際会議場（岐阜県岐阜市） + Web

主催：公益社団法人 低温工学・超電導学会

後援：岐阜観光コンベンション協会

9/26投稿締切！
「(LTS)デバイス」
「デバイス応用」
セッション

第104回 低温工学・超電導学会を下記の通り開催します。現地+Webのハイブリッド形式で実施します。皆さま奮ってご参加ください。

日時・トピックス

日時

2022年12月7日（水），8日（木），9日（金）

お知らせ

第104回春季研究発表会では、コミュニティーにおける会員間の交流活性化を目的とした、会場の様子の写真撮影およびHPでの掲載を予定しています。ご理解いただけますと幸いです。

今後の開催予定

第105回(2023年春季)低温工学・超電導学会研究発表会

2023年5月31日-6月2日

タワーホール船堀（東京都江戸川区）

会場

長良川国際会議場

所在地

〒502-0817 岐阜県岐阜市長良福光2695-2

交通案内

JR岐阜駅からバスで20分+徒歩

岐阜バス「市内ループ線」で長良川国際会議場北口下車（徒歩2分）

または「三田洞線K50・K55」で長良川国際会議場前下車（徒歩2分）

このほか、岐阜駅からのバスが頻繁に通る鶺鴒屋バス停から徒歩5分

