

平成 22 年 12 月 7 日

応用物理学会北海道支部
会員各位

応用物理学会北海道支部講演会のお知らせ

下記講演会を開催いたしますので、多数ご参加下さいますようご案内申し上げます。

演題： ゲルマニウム MOS デバイスにおける界面設計と高移動度 FET への応用

講師： 渡部 平司 氏

(大阪大学大学院工学研究科 教授)

日時： 平成 22 年 12 月 17 日 (金) 15:00～16:30

場所： 北海道大学大学院情報科学研究科棟 1 階 (A12 講義室)

主催： 応用物理学会北海道支部

講演の要旨

従来の Si MOSFET の高性能化では、ゲート長の縮小や絶縁膜の薄層化に加え、歪み印加による移動度向上技術が用いられてきた。しかし、これらの性能向上技術についても、その物理限界が近づいており、近年ではシリコンに代わる高移動度チャネルの研究開発が精力的に進められている。ゲルマニウムは、高い正孔移動度を示すことから p MOSFET への応用が期待されている。また電子移動度についてもシリコンに対して十分なメリットを有しており、シリコンプロセスとの親和性の高さに加え、適切な歪み印加によって電子・正孔共に大きな移動度向上が見込める。従って、従来のシリコンプラットフォームを最大限に活用した高性能ゲルマニウム CMOS デバイスの実用化が望まれる。しかし、MOS デバイスを構成する GeO_2/Ge 界面の形成過程や、界面電子物性に関する知見が不足しており、デバイス設計指針が示されていないのが現状である。

本講演では、第一原理計算に基づいてゲルマニウム表面の酸化過程を検討し、 GeO_2 構造の柔軟性を反映して GeO_2/Ge 界面での欠陥生成が抑制される結果、原理的には電気特性に優れた MOS デバイスを実現可能であることを報告する[1]。一方、実際の Ge-MOS デバイスでは電気特性劣化が顕著であり、その原因が大気暴露時の GeO_2 膜中への不純物導入であることを示す[2]。しかし、特性劣化を引き起こす絶縁膜中の不純物は 300 程度の真空アニールで脱離し、電極材料を真空一貫で形成する事で良好な Ge-MOS デバイスの作製が可能となり、水素アニール等の欠陥終端処理無しでも界面準位密度 $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 前半の MOS 界面を達成できる[2]。上記の真空一貫アニール処理は厚い GeO_2 絶縁膜を有した MOS デバイスでは非常に有効であるが、数 nm 程度の超薄膜の特性改善には課題を残している。この問題に対する解決策として、本研究では熱耐性と表面パッシベーション効果に優れた純窒化膜を極薄 GeO_2 表面にプラズマ窒化処理により形成するプロセスを提案する[3-5]。高密度プラズマ窒化処理により絶縁膜表面に 1 nm 以下の極めて薄い窒化層を形成することに成功し、酸化膜換算膜厚 1.7 nm において絶縁特性と界面電気特性に優れた GeON/Ge スタックを実現した。表面窒化層の存在により GeON 絶縁膜の耐熱性は酸化膜に対して 100 以上も改善し、プロセス構築の観点からも大きな効果が得られた。この GeON 絶縁膜を用いて p MOSFET を試作した結果、電気膜厚が薄い領域においてもシリコンユニバーサルを遥かに上回る高い正孔移動度を実現した[5]。

【参考文献】 [1] S. Saito *et al.*, Appl. Phys. Lett. 95, 011908 (2009); [2] T. Hosoi *et al.*, Appl. Phys. Lett. 94, 202112 (2009); [3] K. Kutsuki *et al.*, Appl. Phys. Lett. 95, 022102 (2009); [4] K. Kutsuki *et*

al., Jpn. J. Appl. Phys. (*in press*); [5] K. Kutsuki *et al.*, 41st IEEE Semiconductor Interface Specialists Conference, San Diego, CA (2010)

世話人 植村 哲也
北海道大学大学院情報科学研究科
電話 : 011-706-6440, E-mail : uemura@ist.hokudai.ac.jp