

## 第9回光学シンポジウム

ホログラフィ法による半導体  
微細素子の形成

野村 登・釘宮 公一

松下電器産業(株)中央研究所

〒570 守口市八雲中町 3-15

ホログラフィック露光法は、一光源から出た振幅強度の等しい可干渉な二光束を交差角  $2\theta$  でフォトリジスト上に入射させ、生じた干渉縞の露光によって<sup>1)</sup>、微細パターンを形成するフォトリソグラフィの一技術である。従来、分解能はレンズ性能によって制限されていたが、二光束の干渉縞では青色 (たとえば He-Cd レーザー、 $\lambda=441.6 \text{ nm}$ ) の光を用いても、レンズの分解能の約8倍に当たる  $0.11 \mu\text{m}$  の線幅の解像が可能であり、微細化する超 LSI のパターン形成に威力を発揮すると考えられる<sup>2,3)</sup>。とくに、ハーフミクロン以下のパターンをフォトリソグラフィの延長技術で形成できるので、高いスループットが期待できる。Fig. 1 は、ホログラフィック露光で形成した  $0.25 \mu\text{m}$  線幅のパターンである。

ホログラフィック露光を半導体素子形成に応用するには、ウェハ上の回路パターンと干渉縞との間の高精度位置合せを行なう必要がある。われわれはホログラフィ法による位置合せの原理を提案した<sup>4)</sup>。これは、空間中に生成した干渉縞を基準とし、ウェハ上の格子 (干渉縞の整数倍のピッチをもつ) を位置合せする方法である。入射する二光束は干渉縞を生成した後、格子によっておのおの複数の回折光を回折する。回折光同士は重なって干渉し、モアレ縞を生成する。このモアレ縞の光強度は回折光相互の位相差によって変化し、その結果干渉縞と格

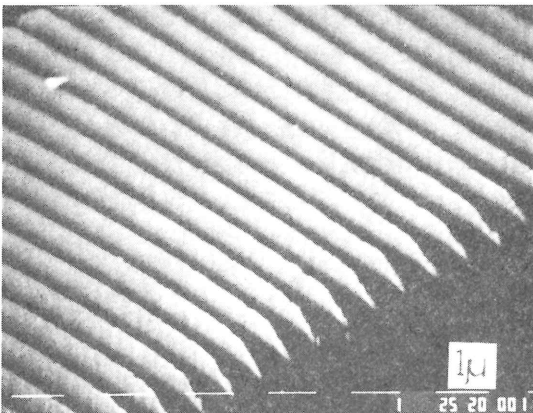


Fig. 1 ホログラフィック露光による  $0.25 \mu\text{m}$  line/ $0.75 \mu\text{m}$  space のパターン

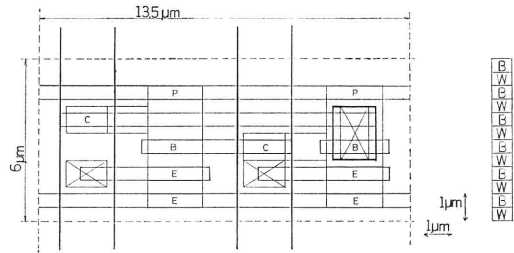


Fig. 2 ECL メモリセルの平面図

子との間の相対位置を正確に検出できる。干渉縞と格子との間の位置合せ精度は  $50 \text{ nm}$  以下の高い精度が実現された。

干渉縞は位置合せした後露光にも用いられ、従来のフォトリソグラフィ (UVL) と組み合わせて利用する。まず、ポジレジストを塗布したウェハ上に  $1 \mu\text{m}$  ルールの回路パターンを UVL で露光現像する。第2工程では、 $0.5 \mu\text{m}$  line & space (L/S) の干渉縞をウェハ上の  $1 \mu\text{m}$  L/S 格子に対して高精度に位置合せし、干渉縞を再度回路パターン上に露光する ( $1 \mu\text{m}$  L/S 格子はウェハ上にあらかじめ形成している)。第3工程では再度現像を行ない、 $1 \mu\text{m}$  線幅の回路パターンを  $0.5 \mu\text{m}$  に細くする。

Fig. 2 にストライプ構造をもつバイポーラトランジスタによる ECL メモリセルの平面図を示した<sup>5)</sup>。この例では UVL のパターンルールは  $1 \mu\text{m}$  であり、ホログラフィック露光による干渉縞を露光現像して最終的に  $0.5 \mu\text{m}$  L/S のパターンを得ている。エミッタストライプ、ベースストライプ、ベースエミッタ間隔を干渉縞の暗部 B と明部 W に対応させ、 $0.5 \mu\text{m}$  線幅のエミッタやベースを得ている。ホログラフィック露光によるパターン形成プロセスは、ベースエミッタ分離工程と第1アルミ配線工程の2カ所に入るのみであり、他の工程には UVL が利用され、効率のよいパターン形成が実現できる。このメモリセルサイズは  $6 \times 13.5 \mu\text{m}^2$  となり、1 Mbit 級の ECL スタチック RAM に相当する。

干渉縞露光と従来露光とを組み合わせるホログラフィック露光法を実現し、ハーフミクロン以下の半導体素子形成においても光露光技術が適用できることを示した。

## 文 献

- 1) Y. Aoyagi, *et al.*: Opt. Acta, **23** (1976) 701.
- 2) 野村 登, ほか: 電子通信学会技報, SSD 82-186 (1983) 47.
- 3) N. Nomura, *et al.*: 1983 SSD & M, C-3-4LN (1983).
- 4) N. Nomura, *et al.*: 15th Symp. on Ion Implantation and Submicron Fabrication (1984) p. 161.
- 5) 野村 登, ほか: 電子通信学会技報, SSD 83-181 (1984) 25.