

最近の技術から

SIT イメージセンサー

遊 佐 厚

オリンパス光学工業(株)半導体技術センター 〒399-04 長野県上伊那郡辰野町伊那富 6666

1. ま え が き

この2年間で固体イメージセンサーの開発は加速的に進んだ。CCD型やMOS型素子は、ビデオカメラの素子としてすでに実用段階に入り、量産化も行なわれている。しかし、これらの現行素子は撮像管と比較すると特性上問題がすべて解決されたわけではない。とくに、電子スチルカメラや高画質テレビ、また天文・計測などの用途を考えると、感度やS/N比の点で要求を必ずしも満足してはいない。そこで、現行素子の構造や読み出し方式での改善・工夫のほかに、著しく感度向上を図るために新しいタイプの素子の検討も始まっている。この場合は、次世代の固体イメージセンサーとして、撮像機能以外に画像メモリ機能をあわせもつようなインテリジェントなスマートセンサーへの展開をも考えなければならない。そのためには非破壊信号読み出しなどの機能付加も必要となる。最近、このような背景で静電誘導トランジスタ(SIT)¹⁾、ゲートコントロールMOS²⁾、電荷変調デバイス(CMD)³⁾など新しいセンサー素子を使った固体イメージセンサーが発表された。これらの素子はいずれも高感度を実現するために、イメージセンサーの画素ごとで光電荷を増幅することと非破壊読み出しが特徴である。このなかで、SITイメージセンサーは1979年にパワーSITの集積回路への応用とし西澤により提案され、低雑音、広いダイナミックレンジ、高速動作などの特長をあわせもつ⁴⁾。ここでは、まずSITイメージセンサーを構成するSITホトトランジスタ(SIPT)の動作と特性を述べ、次にこれをラインまたはエリア状に配列したイメージセンサーについて現状を紹介する。

2. SIT ホトトランジスタ^{5,6)}

SIPTは従来のバイポーラトランジスタに比べて電流増幅率が大きく、かつ周波数特性もよい。そこで、光通信用受光素子や微弱光領域の検出器として研究されている。SIPTの動作原理を以下に説明する。図1はプレー

ナ・ゲート型素子の断面構造とポテンシャル分布図である。構造的にはゲートソース間とゲートドレイン間にできた2個のpinダイオードが受光部になる。i層となるn⁻エピタキシャルで光生成した正孔・電子対のうち、電子は電界でn⁺ドレインに流れ、正孔はp⁺ゲート領域に蓄積しゲート電位を上昇させる。信号はゲート蓄積電荷によって変調されたドレイン電流として得られる。SIPTの特性はゲート構造やドレイン電圧により変化する。ゲート開放時の直流の光増幅率(G =ドレイン電流/光電流)は、ドレイン電圧3Vで、 $\lambda=655$ nm、光強度 10^{-4} $\mu\text{W}/\text{cm}^2$ の条件で最高値は 10^8 となる。また、ドレイン電圧が0.1Vのときは 10^{-4} ~ 10^{-2} $\mu\text{W}/\text{cm}^2$ の広範囲にわたって 10^4 の一定な G 値が得られる。この値はバイポーラトランジスタの100倍でアバランシェ・ホトダイオードと同程度である。一方、SIPTの利得バンド積は、 $\lambda=880$ nm、光強度0.1~100 $\mu\text{W}/\text{cm}^2$ で 10^8 ~ 10^9 Hzである。このようにSIPTの特性が優れている理由はゲートの寄生容量が小さく、光電荷がゲート電位を効率よく上昇させることと、ドレイン電流の制御が光電荷とドレイン電流のキャリアーとの再結合なしに静電的に行なわれることによる。

3. SIT イメージセンサー

SIPTをラインまたはエリア状に配列するとイメージセンサーが実現できる。この単位画素はSIPTのゲート上に直列にMOSまたはMIS構造の容量を設けた1トランジスタ/1画素の構成となる。動作は次のように行なう。まず、ゲートに容量を介し正電位のパルスを印加しpinダイオードを逆バイアス状態にする。そして、光電荷をpin接合とMOS容量に分割してそれぞれに蓄積する。次に、pinダイオードを順バイアスして、ゲートに蓄積した光電荷で変調されたソース電流を信号電流として取り出す。

リニアセンサー⁷⁾: MIS構造の容量をゲートに設けた $100 \times 600 \mu\text{m}^2$ 単位画素の32ビットが試作されている。

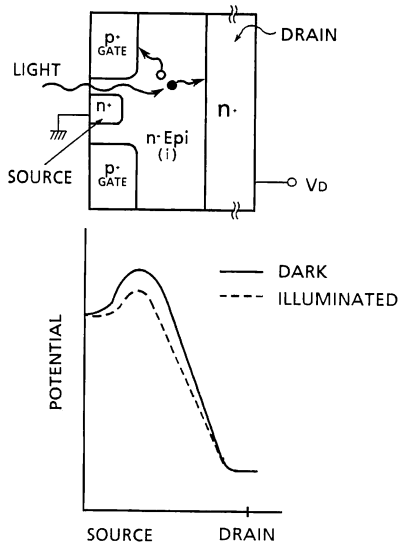


図1 SIT ホットランジスタの断面構造とポテンシャル分布

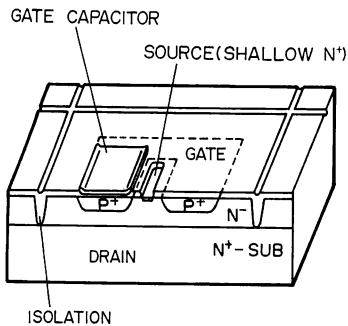


図2 SIT エリアセンサーの画素構造

このセンサーは照度が $0.002 \sim 50 \text{ lx}$ の範囲で約 10^4 のダイナミックレンジをもつ。画素間の信号ばらつきは画素選択回路がオンチップ化されていないため $\pm 8\%$ と大きい。

エリアセンサー⁸⁾：単位画素が $30 \times 30 \mu\text{m}^2$ の $124(\text{V}) \times 170(\text{H})$ 画素数のセンサーが報告されている。読出し方式は MOS 型と同じ XY アドレス方式で、図2に単位画素の構造を示す。各画素は幅 $2 \mu\text{m}$ 、深さ $5 \mu\text{m}$ の溝堀アイソレーションで分離される。画素当りの最大電荷蓄積量は 7.5×10^5 個で、 $17 \mu\text{A/lx}$ の感度が得られる。SIT イメージセンサーの画素出力電流は撮像管や

ほかの固体イメージセンサーに比べ約2桁大きい。またランダムノイズも飽和電流に対し 60 dB 以上あり、固定パターンノイズが問題として残る。固定パターンノイズは画素ごとの信号ばらつきが原因で、CCD の値の約2~3倍とまだ大きい。この改善が当面の重要課題である。SIT イメージセンサーの他の特長に分光感度のよさげられる。図2が示すように、ゲートの横に延びた空乏化されたエピタキシャル層が青色光の感度領域とし効果的に働くことによる。

上述した素子は非破壊読出しがこのままでは不完全であるが、読出し方式を変更することで非破壊読出しも可能となる。この方式では選択された画素 SIT のソース電位を MOS トランジスタと負荷抵抗で構成されたソースフォロアで読み出す。ゲートに蓄積した光電荷は信号読出し中でも蓄積が進行でき、リセットしない限り保持される。すなわち、一時的なアナログメモリとして機能する。

文 献

- 1) J. Nishizawa, *et al.*: "SIT image convertor," *Semiconductor Technologies 1984*, JARECT Vol. 13, ed. J. Nishizawa (Ohm & North-Holland, Tokyo, 1984) pp. 89-120.
- 2) 安藤文彦, ほか: "増幅型 MOS エリアセンサ (GCMA) の試作", 昭和58年度電子通信学会全国大会予稿集, No. 1241 (1983).
- 3) 中村 力, ほか: "ゲート蓄積型 MOS フォトトランジスタ・イメージセンサ", 1986年テレビジョン学会全国大会予稿集, No. 3-7 (1986) pp. 57-58.
- 4) J. Nishizawa, *et al.*: "Static induction transistor image sensors," *IEEE Trans. Electron Device*, **ED-26** (1979) 1970-1977.
- 5) J. Nishizawa, *et al.*: "A very high gain and a wide dynamic range static induction transistor," *IEEE Trans. Electron Device Lett.*, **EDL-6** (1985) 17-19.
- 6) J. Nishizawa, *et al.*: "A very high sensitivity phototransistor structure," *Conf. Digest of the Ninth Int. Conf. on Infrared and Millimeter Waves*, Takarazuka (1984); *Int. J. Infrared Millimeter*, **6** (1985) 649-673.
- 7) 安西 均: "静電誘導型フォトセンサ", 1984年新技術開発事業団創造性科学研究報告会予稿集, 東京 (1984) pp. 8-12.
- 8) A. Yusa, *et al.*: "SIT image sensor: Design consideration and characteristics," *IEEE Trans. Electron Device*, **ED-33** (1986) 735-742.

(1986年8月28日受理)