



面入出力光電融合機能素子

笠原 健一・田代 義春・杉本 満則・浜尾 昇・麻多 進・柳瀬 知夫

日本電気(株)光エレクトロニクス研究所 〒213 川崎市宮前区宮崎 4-1-1

1. ま え が き

光を使った並列処理により情報を高速、大容量に処理することが期待されている。われわれはこのような目的のために高速、低消費性、さらに製作性、制御性に優れた、面型光処理を可能とする光電融合型の光機能素子 (VSTEP: vertical to surface transmission electro-phonic device) と、それらを用いた新しい光情報処理システムの研究開発を進めている。

Photon の力だけでメモリー、論理などの実現に必要な非線形入出力特性を作り出そうとするバイアス光も含めて光エネルギーが大きくなって、光に負担がかかりすぎてしまう。Electron の働きを併用することによってこのような問題が避けられるだけでなく、全光素子にはないような新機能を付加することができる。

ここでは pnpn 構造を使った VSTEP 素子について、主として光ダイナミックメモリ動作による低消費化と、並列光システムを構成するうえで重要な可変光接続の一つの実現方法について紹介する。

2. pnpn 構造 VSTEP

図1に AlGaAs/GaAs 系 pnpn-VSTEP の断面構造を示す。MBE 法で半絶縁性 GaAs 基板上に形成した。ゲート領域は p-GaAs ($d=50 \text{ \AA}$, $p=1 \times 10^{19} \text{ cm}^{-3}$) と n-GaAs ($1 \mu\text{m}$, $1 \times 10^{17} \text{ cm}^{-3}$) よりなり、それらが p-Al_{0.4}Ga_{0.6}As ($1 \mu\text{m}$, $5 \times 10^{18} \text{ cm}^{-3}$) と n-Al_{0.4}Ga_{0.6}As ($1 \mu\text{m}$, $5 \times 10^{17} \text{ cm}^{-3}$) で挟まれた層構造となっている^{1,2)}。アノード、カソード間に電圧を印加し、そこにあるレベル以上の光を当てて吸収させると、発生した電流が正帰還効果で増幅されて OFF から ON になる。ON 状態で内部に蓄積された過剰キャリアを消去し、高速リセットを可能とするために n 型ゲート領域、p 型ゲート領域に電極を有する 4 端子構造となっている。p 型ゲート電極は、n-GaAs 活性層から p-GaAs 層に達する Zn 拡散を行なって p⁺ 領域を形成し、その領域に電極を設けた。

3. 光ダイナミック動作³⁾

4 端子構造 VSTEP で、図2のような回路構成で 2.5 ns 幅の光パルスで光書き込みができる。消去には電氣的に負のリセットパルスを加えて行なうが、負までいかずに印加電圧を正の状態に保持電圧 V_H 以下に落としておけば、電流はほとんど流れず、数 μs 間 ON 状態を保持できる。そして、正のリフレッシュパルスを一定時間間隔で加え、キャリアをとときき補充することで ON 状態を保持させ、必要時に光の形で再生するというダイナミック動作が実現できる。図3はダイナミック動作の実験結果を示したもので、n 型ゲート、アース間には 10 k Ω を接続した。スイッチング電圧 V_s は 2.4 V、 V_H は 1.6 V であった。VSTEP には、2 本のセットパルス (2.0 V, 約 30 μs 間隔) の間に 3 本のリフレッシュパルス (約 7 μs 間隔) を入れ、さらに 2 番目のセットパルス (読出し用) の後にはリセット信号を入れたパルス列を繰り返して印加した。

保持に要する全電力を見積もると 2 μW 以下であり、この値は従来報告されている光メモリ素子の保持電力数十 mW と比べると 4 桁近く低い⁴⁾。光スイッチングエネルギーは $P_s=0.9 \text{ pJ}$ であった。

4. 可変光接続 VSTEP⁵⁾

光メモリ/論理素子として、従来報告されているものは 1 出力タイプのものであった。さらに、出力光が空間的に異なる位置に向かって何本か出射され、それらのうちからどれを選ぶか外部から制御できれば接続の自由度が増し、今までにない新しい光処理方式が実現できるものと考えられる。

図4は誘導放出モードで発光する 1 入力-2 出力の pnpn-VSTEP の構造を示したものである。素子は SiO₂ ストライプ構造 (ストライプ幅 10 μm) とし、素子を 2 個のセグメントに分離した。pnpn 素子のスイッチング特性、誘導放出モードでの発光効率、および、受光特性をそれぞれ大きく損うことなく 1 素子内に複合化するた

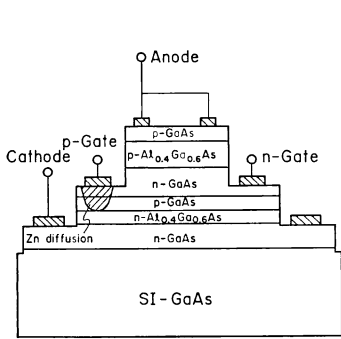


図 1 pnpn-VSTEP

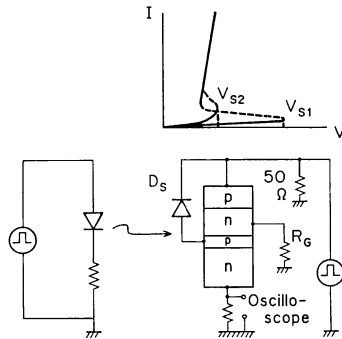


図 2 回路構成

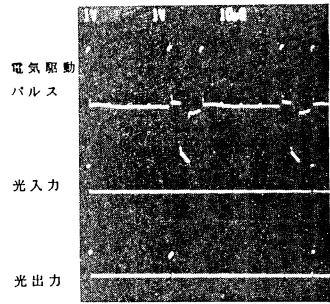


図 3 光ダイナミック動作

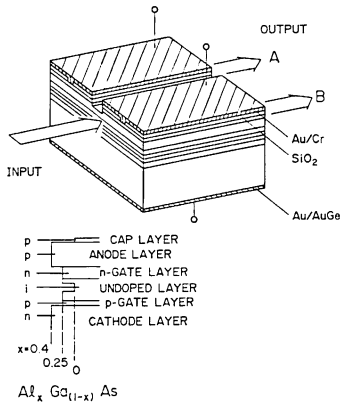


図 4 可変光接続 VSTEP

めに Hi-Lo 構造とした。深さがアノード層まで達するエッチングを行なうことによって、約 $2\text{ k}\Omega$ の分離抵抗が得られた。受光層は二つのセグメントで共通となっている。そのため、入力光が吸収されるセグメント A, B が同時に ON 状態となる。出力光は電気的 ON 状態となった A, B のうち、読出し電圧が印加された側からでてくる。

素子の基本特性は $V_s=4.1\text{ V}$ 、また、一方のセグメントの発振閾値電流は $I_{th}=160\text{ mA}$ ($J_{th}=2\text{ kA/cm}^2$)、微分量子効率 $\eta=23\%/facet$ であった。

図 5 にチャンネル切換え実験の測定系および結果を示す。実験は、①一方の端面から光 ($\lambda_{in}=780\text{ nm}$) を入射させる。そして、そのタイミングに合わせて両セグメントに V_s 以下の電圧 (書き込み電圧) を印加して ON 状態とし、光情報を書き込む (WRITE)。②いったん素子電圧をホールディング電圧 ($V_H=1.6\text{ V}$) 近くまで落として低消費電力で ON 状態を保持させておく (HOLD)、③A, B 同時に、あるいは交互に読出し電圧を加えて、もう一方の端面から出力光を取り出す (READ), を行なった。

図 5 の写真は、セグメント A および B からの READ 時における光出力を示す。A, B 同時に、片方からだ

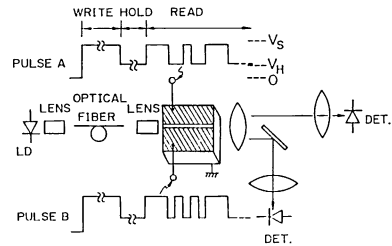


図 5 チャンネル切換え実験

けでも読出しができ、高速応答と高速の光出力チャンネルの切換えが実現できた。

面入出力化は 45 度全反射ミラーを形成することによってなされる。RIBE によってミラーを形成することによって面に垂直な方向に光が取り出せている。

高速、大容量並列光情報処理には、光メモリ/論理機能を持ち、高速性、低消費性、さらに作りやすさ、制御性に優れた面型光機能素子の開発が不可欠となる。VSTEP はこのような面型の情報処理を実現するためのデバイス概念であり、光電融合構造を積極的に使うことによってこれらの特性が実現されていくものと考えられる。

文 献

- 1) R. J. Malik, *et al.*: Electron. Lett., **16** (1980) 836.
- 2) G. W. Taylor, *et al.*: J. Appl. Phys., **59** (1986) 596.
- 3) K. Kasahara, *et al.*: Appl. Phys. Lett., **52** (1988) 679.
- 4) C. Harder, *et al.*: IEEE J. Quantum Electron., **QE-18** (1982) 1351.
- 5) 田代義春, ほか: 昭和 63 年度電子情報通信学会春季全国大会予稿集, SC-7-2 (1988).

(1988 年 7 月 1 日受理)