

# 最近の技術から

## 面入出力光電融合素子 (VSTEP) による 可変光インターコネクション

笠原 健一・小倉 一郎

日本電気(株)光エレクトロニクス研究所 〒305 つくば市御幸が丘 34

### 1. ま え が き

光インターコネクションを電気配線の代りに用いようとする動機は光同士の相互作用が小さいことにより、多数高密度で高速な信号伝送路が光で実現できるのではないかという期待にある。光インターコネクションの形態としては面内、面間とに大別されるが、後者の面間接続はとくに、並列光情報処理への応用といった視点で研究が活発に行われている。光インターコネクションとしてはまずは接続が固定されたものが考えられるが、実際の応用を考えると可変にできることが望ましい。ここではその一例として面入出力光電融合素子 (VSTEP) を 2 次元集積化し、発光機能と空間変調機能を一体化させた面間の可変光インターコネクション用素子について紹介する<sup>1)</sup>。VSTEP は光電融合構造によって、可変光インターコネクションといったような一種の光機能インターコネクションの実現が比較的、容易に実現できる。

### 2. VSTEP による可変光インターコネクション

#### 2.1 原 理

可変光インターコネクションでは、接続の切替えに要する時間が短くてすみ、その制御が簡単であること、また装置全体として小型であることが望ましい。

図 1 は VSTEP 素子を 2 次元集積した  $N \times N$  マトリクスによる可変光インターコネクションの原理を示した図である。VSTEP 素子は図 2 のような GaAs/AlGaAs-pnpn 素子よりなる。電圧、電流特性はサイリスタ特性を示し、スイッチング電圧  $V_s$  以上の電圧で on し、電流注入によって発光する。電気的な on 状態は保持電圧  $V_h$  以上の電圧印加によって保たれる。

図 1 で、VSTEP はそれぞれ  $N$  本のアノード線、カソード線でマトリクス状に接続されている。カソード線には負のゲート信号を順次印加し、アノード線には正

のアドレス信号を印加するようにする。電圧値は両方の電圧パルスが印加されたときだけ素子が電氣的に on するように設定しておく。アドレスは  $N$  回の走査で終了し、それによって電氣的な on/off 状態 ( $A_{ji}$ , 0 または 1) が全素子に対して決定される。その後、データ信号 (0 または 1) をアノード線より入力すると、図 1 のように配置されたライン状の各受光素子アレイより  $y_j = \sum_i A_{ji} x_i$  なる積和演算結果が並列に出力される。 $A_{ji}$  は可変にできるので、これを適当に設定すれば図 1 は可変光クロスバスイッチとして機能する。この構成では  $N \times N$  の光配線を  $2N$  本の電気配線で切り換えら

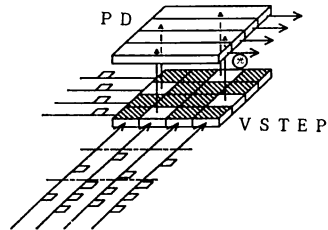
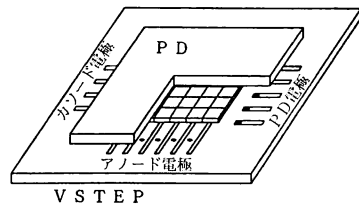


図 1 可変光インターコネクションの原理

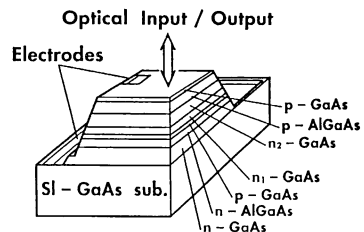


図 2 pnpn-VSTEP の素子構造

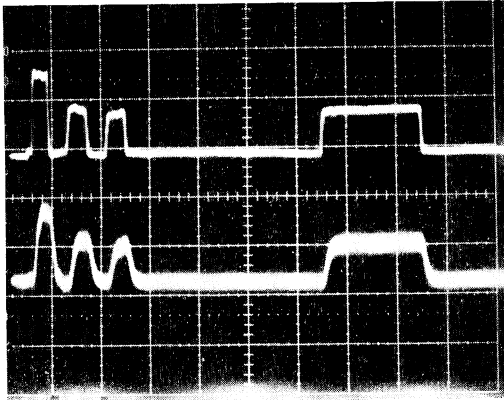


図3 モジュール動作(上部: VSTEP 駆動波形, 下部: PD 出力波形 100 ns/div.)

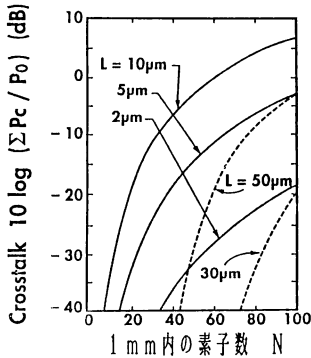


図4 光ビームの広がりによるクロストーク

れるので  $N$  が大きくなったときにも電気配線の数も相対的に少なくてすむ。

## 2.2 動作速度

1 サイクルは、アドレス(接続切替えのための書込み)、データ信号の転送、消去に分けられる。

① 書込み: VSTEP のスイッチング時間  $\tau$  とすると  $N \times N$  のマトリクスでアドレスに要する時間は  $N \times \tau$  (ns) となる。 $\tau$  は電圧が高いほど短くなり、1 ns のスイッチング時間が確認されている。

② データ転送: 1 個の VSTEP の発光の立上り時間で決まり、6 ns という値が得られている。

③ 消去: 現状の素子では活性層内のキャリアの消滅に数  $\mu$ s を要し、それが消去時間となっているが、強制消滅させる構造とすることによって数 ns の高速化が期待できる。

## 2.3 モジュール化

次に、図1のモジュール化を行った<sup>2)</sup>。二つのチップの相互の位置合せは GaAs に対して透明な波長  $2 \mu$ m の赤外線を用いて行い、一体化した。VSTEP は  $6 \times 4$  の小規模な構成とした。チップの大きさは下の VSTEP が  $8 \text{ mm} \times 6 \text{ mm}$ 、上の PD が  $5 \text{ mm} \times 5 \text{ mm}$  で全体をフラットパッケージ上にマウントした。VSTEP 駆動電流-PD 出力電流に見られるばらつきは約 10%、光クロストーク量は DC で  $-26.7 \text{ dB}$  であった。図3はモジュールを実際に動作させた結果である。動作速度は現状では PD アレイなどの素子サイズが大きいためその CR 積などで決まっている。

## 3. 大規模集積化

高集積化を進めるにさいしては面間での迷光によるクロストークや、熱的制約を考慮しなければならない。チップサイズを固定しておき集積度を上げていくと、光ビームの広がりによる迷光が受光素子に入射し、クロストークが大きくなる。図4は  $1 \text{ mm}$  角のチップに集積する素子数  $N \times N$  とクロストークの関係をモデル計算した結果である<sup>3)</sup>。VSTEP と PD の面間隔  $L$  が小さいほどクロストークは小さくなる(実線)。LED モードでは光の広がり大きい、レーザー化すれば迷光によるクロストークは著しく低減できる(破線)。

## 4. む す び

光インターコネクションに関してはまだいくつかの技術的課題があるが、素子サイドではここに紹介した VSTEP のほかに垂直共振器型面発光レーザーの最近の性能向上などで面型光素子に対する関心が高まってきている。応用サイドと一体になった着実な研究開発が望まれる。

## 文 献

- 1) K. Kasahara, *et al.*: SSDM, S-C-2 (Tokyo, 1989).
- 2) 田代義春, ほか: 平成2年 春季応用物理学会, 28 p-D-4 (1990).
- 3) 小倉一郎, ほか: 平成元年 電子情報通信学会 秋季全国大会, C-186 (1989).

(1990年8月10日受理)