

最近の技術から

超高速・超並列ビジョンシステム

石川正俊

東京大学工学部 〒113 東京都文京区本郷 7-3-1

1. はじめに

人間の視覚系では階層的並列処理が行われており、大脳における高次の処理機構とともに、光の受容器の直後でも、神経細胞による並列演算処理が行われている。

これに対して、工学的な視覚センサーは、配線上の問題から、処理を行う前段階として、情報の効率的な伝送のための走査機構が用いられている。この走査機構は、各検出器からの情報を少ない本数の通信路で伝送するのに適しているが、その伝送速度（ビデオ信号の速度）に限界が存在する。これを I/O ボトルネックと呼ぶ（図 1 参照）。すなわち、ビデオ信号はもともと人間の目の動特性を考慮して設定されているものであり、工学的応用、特にビジュアルフィードバック等のように高速の制御が必要とするケースを考えると、この速度では間に合わず、アクチュエータ系の制御のサイクルタイム（100 μs から 1 ms 程度）での検出・処理が必要となる。また高速に運動している対象物の認識を行うケースでは、検出処理のサイクルタイムはできる限り高速であることが対象の検出能力を高めることに直結する。

2. 並列ビジョンアーキテクチャ

このようなビデオ信号の制約を回避するためには、まず検出・走査回路の改良が必要であるが、画素数を落として並列走査方式にすれば、現在の技術でも実現はそれほど難しくなく、すでに高速のアレイセンサーも市販されている。

しかし、高速の視覚情報が得られたとしても、その速度に併せて処理も高速でなくてはならない。このような高速の処理には並列処理の導入が不可欠である¹⁾。そのような処理アーキテクチャとして、検出器と 1 対 1 に対応したプロセッシングエレメント (PE) を用いた処理アーキテクチャが提案されている。

Mead らが提案しているシリコン網膜は、人間の目の初期視覚の機能を光検出器とともにシリコンチップ上に

集積化したもので、初期視覚の機能をアナログの並列処理回路で実現している²⁾。実現されているのは、48 × 48 程度である。また、MIT ではビジョンチッププロジェクトが行われており、やはり単純な一次処理をチップ上のアナログ回路で実現することを目指している³⁾。現在までに、10 × 10 程度の検出分解能で一秒あたり 5,000 枚程度の処理が実現されている。さらに、日本でも 3 次元 IC 技術の利用が考えられている⁴⁾。

これら研究は、概ね特定用途の回路を実現することをめざしたものであるため、実際の応用に際しては、通常のセンサーと同様に、検出対象に合わせてチップを選択するという方式を取ることになる。

これに対して、処理回路としてある程度汎用のプロセッシングエレメントを採用したアーキテクチャが提案されている⁵⁾。汎用の処理回路を用いているためプログラムにより処理を変えることが可能になる。以下においてはこのような並列アーキテクチャに基づくビジョンシステムについて述べる。

3. 超高速・超並列ビジョンシステム SPE-4 k

ここで示すビジョンシステムは、光検出器と PE を 1 対 1 に対応させた構造を持ち、これらが $64 \times 64 = 4,096$ 個あることから SPE-4 k (Sensory Processing Element-4 k) と名付けている。全体構造を図 2 に示す。入力としてフォトトランジスタを用い、出力として LED を使用している。

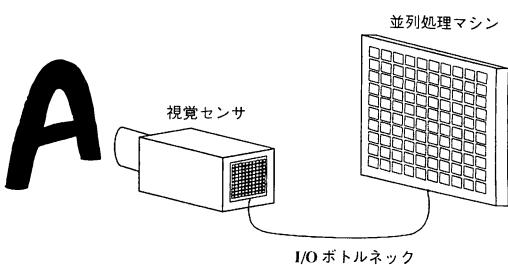


図 1 I/O ボトルネックと並列ビジョン

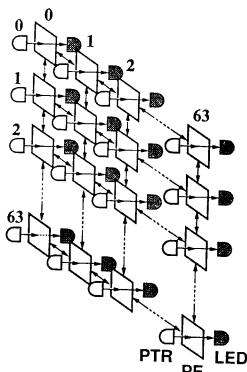


図 2 SPE-4 k の構造

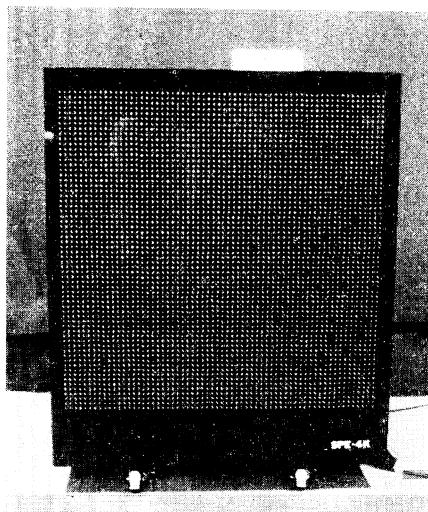


図 3 SPE-4 k の外観

このシステムは最終的には、PE も含めて 1 チップに集積化することを目指すものであるが、現在は 1 チップ化までには至っておらず、独自に開発した並列処理用の LSI を 512 個用いたスケールアップモデルとなっている。外観を図 3 に示す。

このようなアーキテクチャで集積化を実現するには、PE のゲート数を極力少なくして 1 チップの集積可能ゲート数内に収めることができることが設計のポイントである。そこで SPE-4 k では、1) ビットシリアル演算、2) マイクロインストラクションによる直接制御、3) SIMD 型制御、4) 近傍接続等のゲート数削減の手段が用いられ、結果として処理機能をそれほど落とすことなく PEあたり 337 ゲートという少ないゲート数が実現されている。

処理速度に関しては、開発した LSI 自体のインスト

表 1 SPE-4 k の処理速度

処理内容	ステップ数	実行時間	
		現在	最高速
エッジ 2 近傍	23	230 μ s	2.3 μ s
4 近傍	33	330 μ s	3.3 μ s
細線化 4 近傍	149	14.9 ms	149 μ s
8 近傍	360	36 ms	360 μ s
動物検出	7	70 μ s	0.7 μ s
軌跡	4	40 μ s	0.4 μ s
Poisson 方程式	125	250 ms	2.5 ms

ラクションのサイクルタイムは 100 ns であるが、現在はパソコンの I/O から制御しているため約 10 μ s となっている。LSI の最高速度で駆動したとすれば、8 ビットの加算で 3.2 GOPS (giga operation per second) が得られている。表 1 に種々の処理に対する SPE-4 k の処理速度を示す。この表で最高速という欄は LSI の最高速度で動かした場合の値であり、例えば 4 近傍のエッジの抽出は 3.3 μ s で実現可能である。現在のアクチュエータの性能から想定できる目標性能は 100 μ s 程度であるから、仮に複雑な処理を行ったとしても十分な速度が得られているといえる。

4. おわりに

超高速・超並列ビジョンシステムを概説した。「超高速」という面では、十分な速度が得られているが「超並列」という面ではまだ不十分であり、集積化に向いたよりコンパクトなアーキテクチャの開発が必要である。このような高速のビジョンは、従来の画像処理の考え方を大きく変える可能性があり、新たな用途、新たな処理方法の開発が期待されている。

文 献

- 1) 石川正俊：“センサ情報の並列処理技術”，電子情報通信学会論文誌，J74-C-II (1991) 255-266.
- 2) C. Mead : *Analog VLSI and Neural Systems* (Addison-Wesley, 1989).
- 3) J. Wyatt, et al. : “Vision chip project: Analog VLSI system for fast image acquisition and early vision processing,” Proc. Int. Conf. on Robotics and Automation (1991) pp. 1130-1135.
- 4) 鬼追一雅：“三次元集積化 IC イメージプロセッサ”，日本ロボット学会誌, 9 (1991) 876-877.
- 5) 石川正俊, 森田 彰, 高柳信夫：“光演算向きアーキテクチャを有する超並列演算処理機構 (SPE-4 k)”, 第 39 回応用物理学関係連合講演会予稿集 (1992) p. 815.

(1992 年 6 月 22 日受理)