

# 超大規模集積回路における光インターコネクション —電気配線と光配線—

岩 田 穆

LSI (large scale integrated circuits) デバイスの微細化により動作速度と集積規模が向上し、高性能なマイクロプロセッサや大容量のメモリー LSI はコンピュータの性能を飛躍的に向上させた。しかし、LSI の設計ルールが  $0.5\ \mu\text{m}$  以下になると、内部回路をつなぐ配線で動作速度と集積規模が制限されるようになる。また、配線の長距離化とクロック周波数の向上により配線容量の充放電エネルギーが大きくなり、これが消費電力を支配するようになる。消費電力を抑えると動作速度が制限される。このような LSI の限界を破るためのアプローチとして、チップへの光配線の導入が考えられている<sup>1,2)</sup>。光子は電荷をもたず配線容量を充電しないため、配線の抵抗と容量で決まる時定数による伝播遅延がなく、また、充放電に伴う電力消費がない。本稿では電気配線と光配線を比較し、LSI に光配線を導入する技術の現状と課題について述べる。

## 1. 電気配線

### 1.1 電気配線の遅延時間<sup>3)</sup>

チップ上の配線が微細化されるとともに配線の性能は低下する。配線容量には配線基板間と隣接配線間の容量があるが、厚さ方向の寸法は一定で、配線幅と配線間隔を等しいとすると配線幅の減少により断面のアスペクト比が大きくなり、隣接線間の容量が増加する。配線幅と配線容量の関係の一例を図 1 に示す。配線容量は  $0.8\sim 1.0\ \mu\text{m}$  の場合が最低で、これ以上では配線基板

間容量が、これ以下では隣接配線間容量が支配的となって増加する。単位長さ当りの配線容量の代表値は  $0.5\ \mu\text{m}$  幅で  $0.25\ \text{pF}/\text{mm}$  であるが、 $0.2\ \mu\text{m}$  幅になると  $0.5\ \text{pF}/\text{mm}$  に増加する。

微細化による集積規模の増加とチップサイズの増加に伴い、配線長も増加する。通常の CAD (computer aided design) ツールで設計した  $15\ \text{mm}$  のチップでは  $20\ \text{mm}$  以上の長い配線が 5% 程度ある。このような配線長の増加と配線幅の減少により配線容量に加えて配線抵抗も考慮する必要が生じる。分布 RC (resistance and capacitance) モデルを用いて求めた遅延時間の配線長依存性を図 2 に示す。配線長  $20\ \text{mm}$  で比較すると、 $0.5\ \mu\text{m}$  ルールでは  $2\ \text{ns}$  であるが、 $0.2\ \mu\text{m}$  ルールでは  $10\ \text{ns}$  に増加する。このように、配線が動作速度を制限する。このように短い配線には微細線幅の配線が適用できるが、長い配線には適用できない。

バスラインは図 3 に示すように、ユニット間を繋ぐ長い配線に多数のバスドライバーとバスディテクターが接続され、データを双方向に伝播する。バスラインはクロック系とともに容量が大きい回路である。ライン長  $20\ \text{mm}$  とすると配線容量は  $6\ \text{pF}$ 、バスドライバーとディテクターの数を 20 個とすると負荷容量は  $10\ \text{pF}$  程度となる。これらの容量のために遅延時間が大きくなる。

### 1.2 伝送線路

装置間やボード間には同軸ケーブル、バックプレーンにはトリプレートのストリップラインなどの伝送線路が使われる。高速 LSI ではチップ上の配線にも、トリプレートのストリップライン構造の多層配線が必要になる。超高速 LSI の多層配線の断面例を図 4 に示す。サブミクロンルールにかかわらず、配線抵抗やインピーダ

Optical interconnections for ultra large scale integrated circuits (1995 年 11 月 8 日受理)  
Atsushi IWATA 広島大学工学部第二類 (〒739 広島市鏡山 1-4-1)

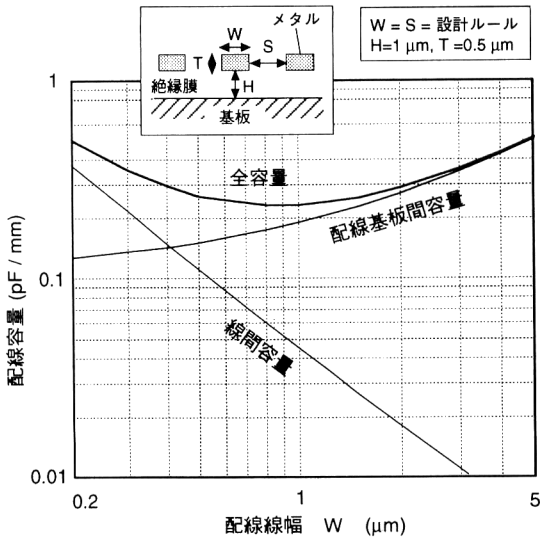


図1 配線容量の配線線幅依存性。

ンス整合のために配線幅を広くする必要がある。このような構造は化学的研磨による平坦化技術で可能になった。1対1の配線では高速配線が実現できるが、バスラインでは局所的に大きな容量が接続されるので伝搬速度が遅くなり、伝送波形も乱れる。

### 1.3 電気配線による消費電力

チップの全配線長を50m、配線容量を0.3pF/mmとすると、全容量  $C_t$  は15nFとなる。全配線の1/5が動作周波数  $f=250$  MHzで動作し、論理振幅  $V_t=3.3$  Vとすると、配線の容量を充放電する電力は  $fC_t V_t^2=8.2$

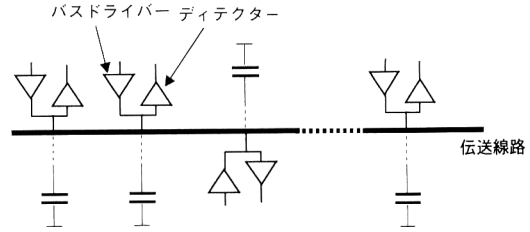


図3 バスラインの構成。

Wで、この電力が充放電に伴ってトランジスタや抵抗で消費される。このように配線容量の増加により配線の消費電力が占める割合が大きくなる。

### 1.4 電気配線の課題

低誘電率の絶縁材料や低抵抗の配線金属材料、およびそれらのサブミクロン加工技術の開発が活発に進められている。回路的には電力効率のよいデータ転送回路方式、低振幅で高速なデータ転送インターフェース回路などの開発が進められており、高速配線のCAD技術として等長配線、差動配線、クロストーク低減、電源グラウンドの配線などが課題となっている。

## 2. 光配線

### 2.1 光配線の効果<sup>3)</sup>

光の長所は高速性、広帯域性、2次元性であり、短所は複雑な論理演算や記憶は実現しにくいことである。電子回路はおおよそ光と逆の特徴をもつ。したがって両者の長所をいかすには、光は情報伝達つまり配線に用い、記

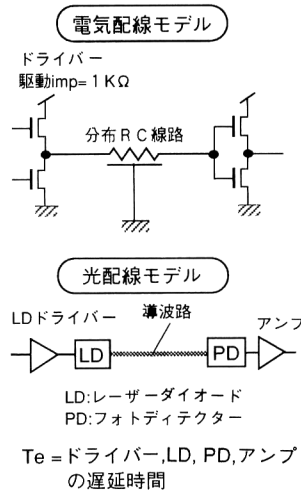
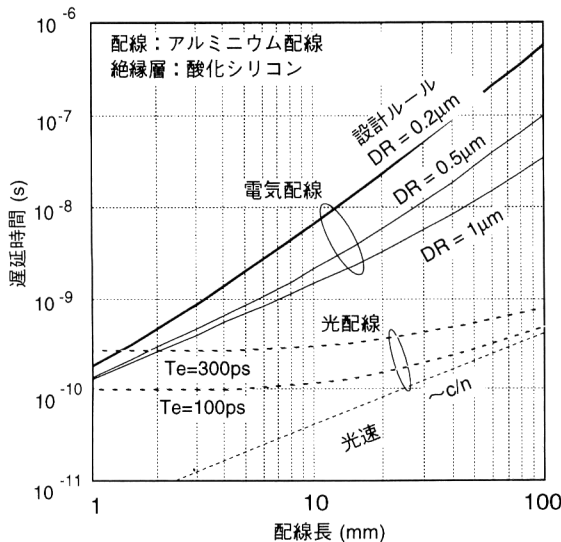


図2 配線遅延時間（電気配線と光配線の比較）。

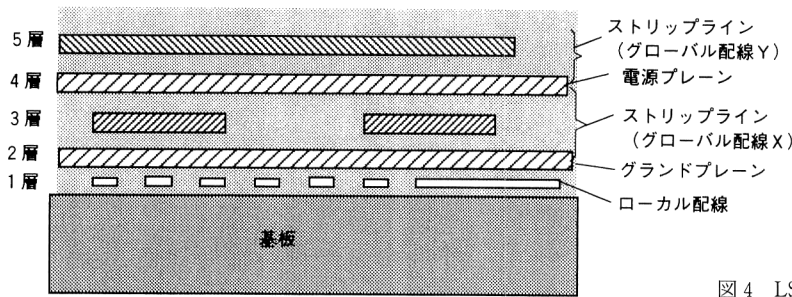


図4 LSIの多層配線。

憶、論理演算、数値演算には電子回路を用いるのがよい。

光配線の狙いには以下の4つがある。

- (1) 電気配線の限界を破る超高速光配線
- (2) 膨大な入出力を有するシステムの高密度光配線
- (3) 電力制限による速度制限を破る低電力光配線
- (4) プログラマブルな機能をもった配線

現在すでに装置間、ボード間で使われている光インターコネクションは(1)を狙ったものである。将来、集積規模の増加に伴い、チップ間接続、マルチチップモジュール配線、チップ上配線へと光配線の適用階層が下がる。最近注目されているマルチチップモジュール(MCM)やウエハースケール集積(WSI)では100mm以上の配線が必要となるので、高速化の効果が顕著になる。また、光は電気と問題になる配線間のクロストークが発生しないので、超高速システムで本領を発揮する。

(2)の狙いはビジョンチップやニューロチップの実用化に伴って、2次元情報の一括接続やきわめて多数の接続を実現する技術として重要となるであろう。(3)はまだ現在あまり着目されていないが、発光素子や受光素子が微細化され、変換効率が向上するにつれて、LSIの電力制限を破る技術として有効になる。(4)を実現するには光の制御素子が必要になるが、これを集積化する技術はまだ開発されていないため、より将来の課題となるであろう。

## 2.2 光配線の遅延時間<sup>3)</sup>

光配線の遅延時間の配線長依存性を図1に電気配線と比較して示す。導波路での光の伝播速度は光速/屈折率( $c/n$ )であり、屈折率を1.3(SiO<sub>2</sub>)とすれば、230mm/nsとなる。これに電気光変換と光電気変換に要する時間、すなわちレーザーダイオード、レーザーダイオード(LD)、光ディテクター(PD)、アンプの動作時間の合計 $T_e$ を加算する必要がある。 $T_e$ は光のパワーによって変わるが、アンプの動作時間が占める割合が多

い。現在、0.2 $\mu$ mのCMOS(complementary metal oxide semiconductor)デバイスで0.3ns程度が予測されるが、将来の高速なデバイスでは0.1nsが実現できる可能性がある。そうなれば、配線長20mmのとき、電気配線と比較して光の方が10倍程度高速にできる。

## 2.3 クロック分配系への導入

クロックは計算機の性能を決める重要な役割をもつ。1個のクロック源から一方向に分配するという単純な機能であるので光を導入しやすい。最新のクレイ社のスーパーコンピュータではファイバーを利用して光でクロックを分配するシステムを導入した。光源ボードから4 $\times$ 4のスターカップラー、1:24のツリーカップラー、光受信器をとおして各演算ボードにクロックを分配供給する。ファイバーにより各クロックの到達時刻を調整した後、スキューの全要因の二乗平均を約123psに減少させ、クロック周波数500MHzを達成した。スキューの要因のうち分配のための論理LSIの分が支配的で、次に光受信器の分が大きい<sup>4)</sup>。チップ上のクロックに光を導入すると同様の効果が期待できる。

## 2.4 バスラインへの導入

計算機でデータを転送する能力は演算、記憶の能力と同じように重要である。前述したように多数のドライバーやディテクターが接続され、双方向にかつ可変パスでデータを転送する必要があるため、電気配線で高速化するには困難な問題が多い。

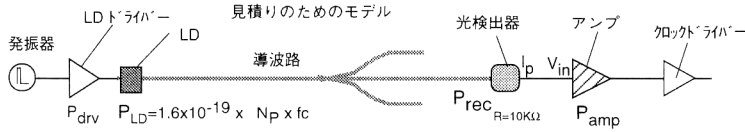
現在、ボード間接続の標準汎用バス(VMEバス、futureバス)の光による実現が検討されている<sup>5)</sup>。現状の光部品を用いても伝搬遅延時間は電気の場合に比べて4~5倍程度高速にできる。また、インピーダンス整合やクロストークの問題が発生しないなど、優れた特性が期待されている。

## 2.5 低消費電力化

光インターコネクションの消費電力の見積りを表1に示す。クロックを80分岐する場合である。信号伝送の

表1 光インターコネクションの消費電力（見積り）.

$N_p$ パルス当りの光子数	$P_{LD}$ 送信光パワー (mW)	$P_{drv}$ LD ドライバー消費電力 (mW)	$P_{rec}$ 受信光電力 ( $\mu$ W)	$I_p$ 光電流 ( $\mu$ A)	$V_{in}$ 受信電圧 (mV)	$P_{amp}$ アンプ消費電力 (mW)	$P_{total}$ 全消費電力 (mW)
$10^4$	0.1	0.4	0.4	0.8	8	80	80.4
$10^5$	1.0	4.0	4	8	80	6.0	10.0
$3 \times 10^5$	3.0	12	12	24	240	3.6	15.6



クロック周波数： $f_c=250$  MHz, パルス幅=2 ns, 光伝送効率=33%, 分岐数=80,  
電気配線(0.2  $\mu$ m)：配線容量=0.3 pF/mm $\times$ 200 mm=60 pF, 入力ゲート容量=0.1 pF $\times$ 80=8 pF, ドライバ容量=100 pF, 消費電力=250 MHz $\times$ 168 pF $\times$ 2 V $^2$ =168 mW.

誤り率の解析からは、1パルス当りの光子数は1万個あれば十分である。しかし、OE変換したときの小さな電圧振幅を論理振幅まで増幅するために高利得なアンプが必要となる。これが大きな電力を消費する。たとえばアンプに0.5  $\mu$ m CMOSのインバーター型の増幅器を用いると消費電力は1 mW程度以上となる。全電力は80 mWとなる。さらに、光子数を $10^5$ に増加させると信号電圧は大きくなり、アンプを低電力にできる。この場合電気配線に比べて1/10程度になると期待される。これ以上に光パワーを増加させると、発光に要する電力が支配的になってかえって全電力が増加する。このように全消費電力と遅延時間との関係から、適当な光子数（光パワー）が存在する<sup>3)</sup>。

### 3. 集積化光配線の現状

#### 3.1 導波路

シリコン基板上に集積化できる導波路構造としてリッジ型、トレンチ型などがある。コアをSi<sub>3</sub>N<sub>4</sub>でクラッドをSiO<sub>2</sub>で形成し、その外をアルミニウムでカバーした構造により0.6 dB/cmの低損失が実現されている<sup>6)</sup>。図5に断面構造と伝送損失特性を示す。損失低減はアルミニウムのミラーによりコアとクラッド界面での乱反射によるロスを減らせるためと考えられる。

#### 3.2 分岐、曲げ導波路

集積化光配線を実現するには導波路面内で曲げと分岐が必要である。従来の分岐型導波路では曲率が大きいので設計性が悪い。できるだけ直角に曲げて分岐するためにミラーを使ったタイプがよい。図6にミラーを用いた曲げの伝送損失の実測結果を示す。2回反射ミラー（2個のミラーで45度ずつ曲げる）で80%以上の光が

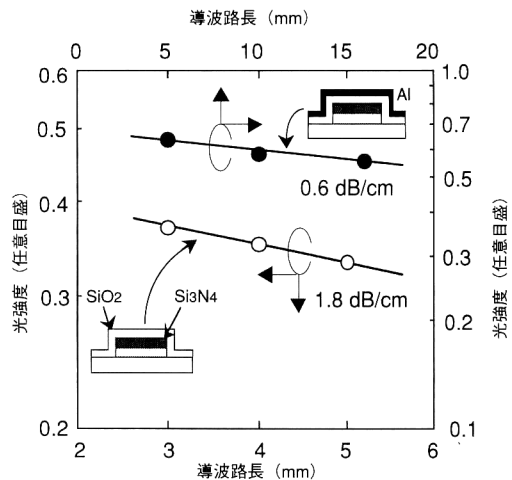


図5 集積化導波路の伝送損失。

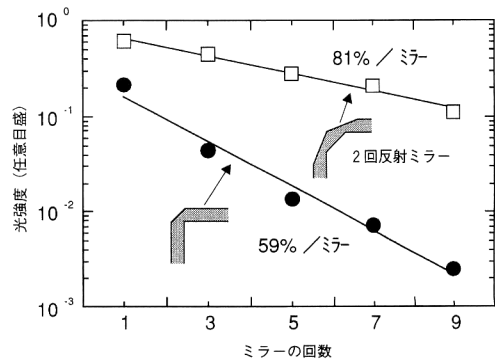


図6 曲げ（ミラー）の伝送損失。

伝搬する<sup>6)</sup>。また、これらの設計には電磁界解析技術が有効であり、従来の曲げ導波路にはよくBPM法 (beam propagation method)<sup>7)</sup>が使われているが、

FDTD法 (finite differential time domain method)<sup>8)</sup>の方が適する。光源や光検出器と接続する部分には、導波路に対して垂直方向への曲げも必要である。このためにはミラー、プリズム、グレーティングなどが使用可能であるが、位置合せの問題が課題となる。

#### 4. 光配線向きアーキテクチャー

##### 4.1 アーキテクチャーからみた光配線の特徴

(1) 広帯域性、波長多重性を活用するとデータ転送能力が大幅に向上されるので、バス結合アーキテクチャーの性能を向上させることができる。

(2) 2次元のデータを平面性を維持したまま接続することが可能であり、画像データの入出力に有効である。

(3) 非接触の空間伝播が使えるので1対多のデータ転送が容易に実現できる。これは超並列プロセッサの制御や、ニューラルネットなどに使える。

(4) チップ表面に直行方向の接続をするとき光を使うと3次元集積構造を実現できる。

(5) 固定の接続でなく、接続を可変にできるプログラマブルなインターコネクションの可能性がある。

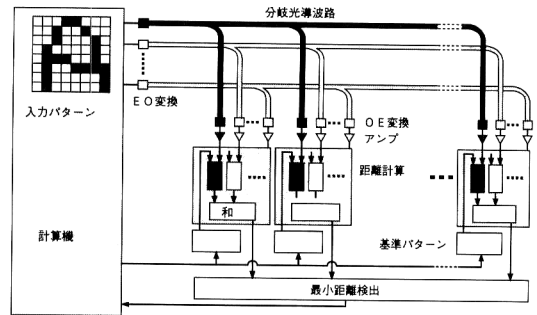
(6) インターコネクション機能のみでなく積和演算のような単純な処理を接続と同時に実現できる。

##### 4.2 マルチプロセッサアーキテクチャー

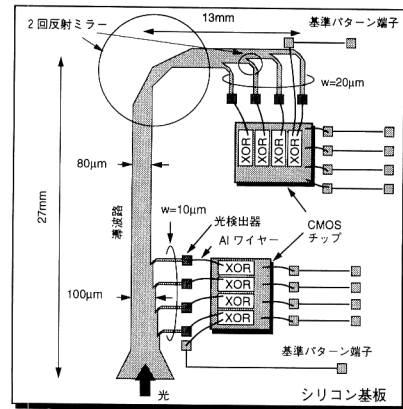
超並列処理を目指したマルチプロセッサには(1)バス結合アーキテクチャー、(2)メッシュ結合アーキテクチャー、(3)共有メモリー結合アーキテクチャーなどがある。いずれもプロセッサ間の接続が性能を支配する。光配線の利点を活用して性能を向上させ、また、機能を向上させることも可能である。たとえば多数のマルチポートのメモリーを介して接続する共有メモリータイプが提案されている。このために3次元の光配線を導入した共有メモリーが有効になる<sup>9)</sup>。

##### 4.3 ニューラルアーキテクチャー

ニューラルネットワークは多数のニューロン素子を相互結合して、同時に動作させる超並列処理のアーキテクチャーである。プログラムによって動作するノイマン型とは基本的に異なる原理で動作する。つまり学習により係数を適当に決めることにより、パターン分類や最適化問題を解くことができる。したがって、アルゴリズム化が困難な処理やパターン処理などに適する。ニューラルアーキテクチャーの最大の課題は膨大なニューロン間の接続をいかに実現するかであり、接続技術に光を導入することが有効である。



(a) ブロック図 (簡単な文字認識システム)



(b) マルチチップの構成

図7 光インターコネクションを用いたコホーネンネットワーク。

##### 4.4 コホーネンネットワーク基本回路の試作<sup>10)</sup>

信号の分配に分岐型光導波路を使用したコホーネンネットワークのブロック図を図7(a)に示す。また、(b)にマルチチップ構造を示す。前述した集積化導波路を用い、PN接合型の光検出器を導波路シリコン基板上に形成し、導波路からはアルミニウムのミラーで光を導入している。電子回路はCMOSチップをシリコン基板上に接着し、ワイヤーでボンディングしている。この試作回路は6.7 MHzで動作している。この周波数は光検出器とCMOSチップ間のボンディングパッドの寄生容量によって制限されている。導波路とCMOSを集積化することにより2桁以上高速化可能である。

LSIシステムに導入するという立場で電気配線と光配線を比較し、光配線の導入法と効果を述べた。また、光配線集積化の例を示した。LSI技術に光技術を導入することにより性能の向上が期待でき、光配線向きの新しいアーキテクチャー技術とともに21世紀に向けた技術と

して期待がかけられる。

## 文 献

- 1) J. W. Goodman, F. I. Leonberger, S. Y. Kung and A. Athale: "Optical interconnection for VLSI system," Proc. IEEE, **72** (1984) 850-866.
- 2) I. Hayashi: "Optoelectronic device and material technologies for photo-electronic integrated systems," *1992 International Conference on Solid State Devices and Materials* (1992) pp.10-12.
- 3) A. Iwata: "Optical interconnection for LSI technology innovation," *Optoelectron. -Devices Technol.*, **9**, 1 (1994) 39-54.
- 4) D. R. Kiefer and V. W. Swanson: "Implementation of optical clock distribution in a supercomputer," *Topical Meeting on Optical Computing* (1995) pp.260-262.
- 5) R. T. Chen: "VME optical backplane bus for high performance computer," *Optoelectron. -Devices Technol.*, **9**, 1 (1994) 81-94.
- 6) T. Namba, A. Uehara, T. Doi, T. Nagata, Y. Kuroda, S. Miyazaki, K. Shibahara, S. Yokoyama, A. Iwata and M. Hirose: "High-efficiency micromirrors and branched optical waveguides on Si chips," *1995 Int. Conf. on Solid State Devices and Materials* (1995) pp.830-832.
- 7) 岡本勝就: 光導波路の基礎 (コロナ社, 1992).
- 8) T. Shibata and H. Kimura: "Computer-aided engineering for microwave and millimeter-wave circuits using the FD-TD technique of field simulations (invited)," *Int. J. Microwave MM-Wave Comp. -Aided Eng.*, **3** (1993) 238-250.
- 9) 林 徹雄, 阿江 忠, 小柳光正: "光インタコネクション", 信学会誌, **75** (1992) 951-961.
- 10) T. Doi, T. Namba, A. Uehara, M. Nagata, S. Miyazaki, K. Shibahara, S. Yokoyama, A. Iwata, T. Ae and M. Hirose: "Optically interconnected Kohonen net for pattern recognition," *1995 Int. Conf. on Solid State Devices and Materials* (1995) pp.1075-1076.