

光インターコネクションと集積回路技術

小柳 光 正

素子の微細化により、LSIの性能は飛躍的に向上した。1 GHzのクロック周波数で動作するマイクロプロセッサがすでに報告されている。2010年ごろには10 GHzを超えるクロック周波数をもつマイクロプロセッサも夢ではなくなる。しかし、このような超高性能のLSIをこれまでのようなトレンドに従った技術開発だけで実現するのは難しい。信号遅延やクロストークといった配線絡みの問題と消費電力の増加がこれまで以上に深刻な問題としてのしかかってくるからである。配線絡みの問題に関しては、低抵抗のCu配線や低誘電率の層間絶縁膜を用いた新しい配線技術で対処すべくいろいろな検討がなされているが、これらの技術が使用可能になっても、ある程度問題を先送りにはできるが本質的な問題解決にはならない。配線による信号遅延の問題はチップ間ではますます深刻になる。チップ内で10 GHzのクロック周波数を実現できたとしても、チップ間では配線による信号遅延や反射のため1桁以上クロック周波数を下げざるを得ない。したがって、今後はLSIチップだけではなく、パッケージやボードなどの実装技術を含めたシステム全体で高集積化、高性能化を考えていく必要がある。いわゆるシステム集積化である。このようなシステム集積化技術の中核となる技術が3次元集積化技術¹⁾と光インターコネクション技術²⁾である。3次元集積化技術はチップ内の長距離配線を減らし、平均配線長を減少させるとともに、集積密度を上げるのに有効である。これらの技術を用いることにより、これまで実現が難しかった超並列LSIも可能となる。一方、光インターコネクション(以後、光配線と記す)はチップ間あるいはボード間の信号遅延を低減するのに必須の技術である。チップサイズ

が大きくなってくるとチップ内でも光配線が使われる可能性がでてくる。

本解説では、このようなシステム集積化技術の中の重要技術のひとつである光配線技術を取り上げ、その研究開発状況を紹介する。

1. 光配線技術

将来の集積回路や集積システムでは、性能改善を妨げる最大の要因が配線による信号遅延やスキュー、クロストークになる。このような配線による信号遅延やスキュー、クロストークの影響を軽減するためには、光配線を使わざるを得ない。光配線は配線長が長ければ長いほど有利であるが、1 cm程度の配線長でも十分に優位性がある。また、光にはクロス配線が可能であるとか並列性があるとか電気にはない特長が多くあるので、これらの特長を生かすことができれば、これまでになような新しい概念の配線を考えることもできる。ここでは、これまでに提案されている光配線の例を示しながらシステム集積化技術としての光配線技術の可能性について述べる。

1.1 ボード間光配線

ボード間光配線は大きく分けると、ボード間を自由空間光により直接接続するものと、マザーボードやバックプレーン上で自由空間光や導波光により接続するものの2通りが考えられる。図1はボード間を直接光配線で接続して並列処理システムを構成する場合の例である³⁾。ボード上部に設けた光信号送信部と光信号受信部を介してデータの転送を行う。1組の送受信部で8個のデータラインを構成するようになっている。図1(b)に示すように、送信部では8個の並列電気信号により8個のレーザーダイオードを駆動し、その出力光をポリマー光導波路で導波した後、マイクロプリズムを用いて伝搬方向をボードに垂直な方向に折

東北大学大学院工学研究科機械知能工学専攻 (〒980-8579 仙台市青葉区荒巻字青葉 01)
E-mail: koyanagi@sd.mech.tohoku.ac.jp

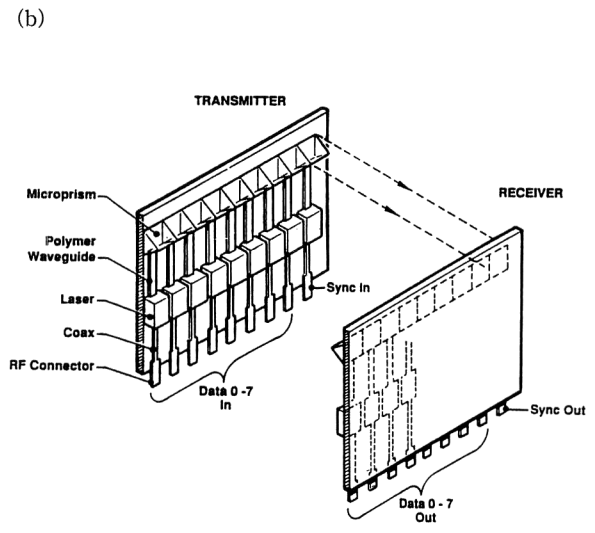
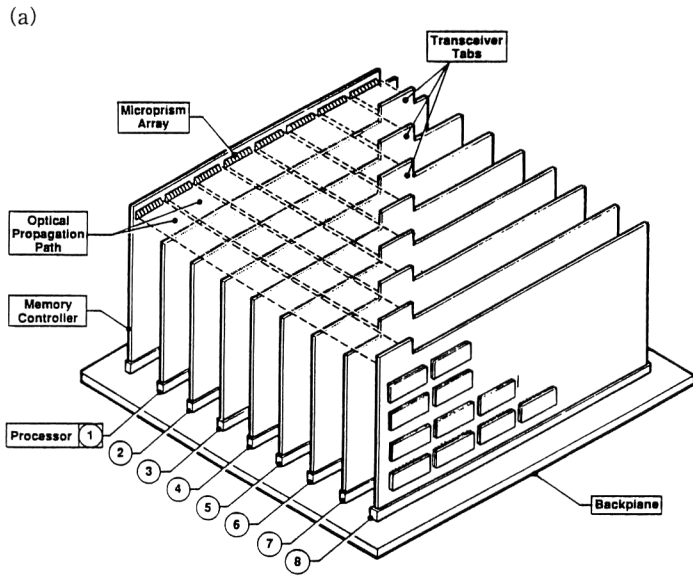


図1 自由空間光を用いたボード間光配線。

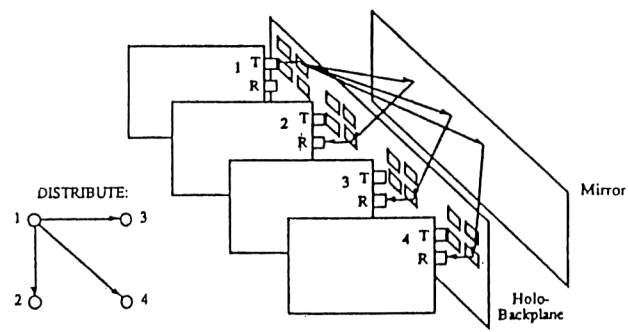


図2 ホローバックプレーンによるバックプレーン光配線。

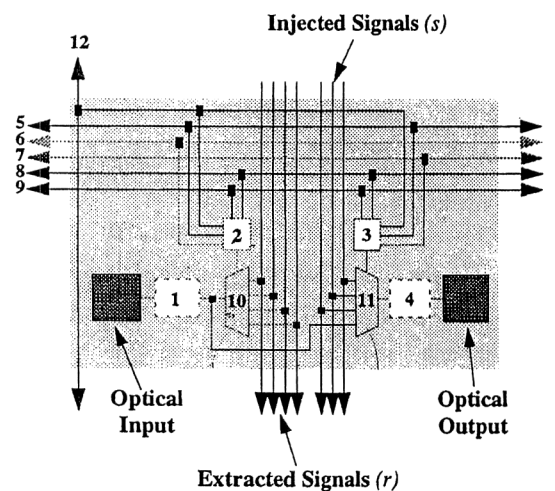


図4 スマートピクセルの構成。

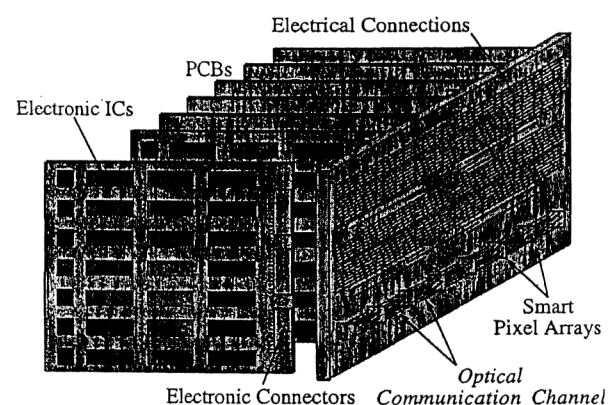


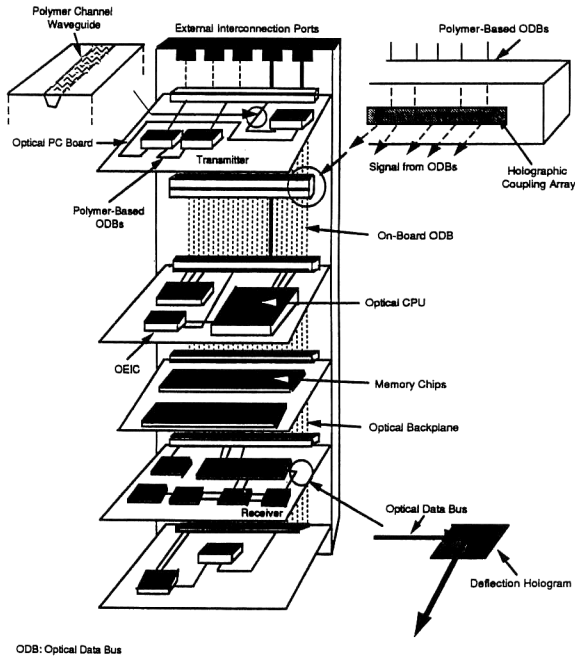
図3 スマートピクセルアレイを用いたバックプレーン光配線。

り曲げている。受信部では逆に、受信した光信号をマイクロプリズムによりボードに垂直な方向から水平な方向に伝搬方向を変換した後、ポリマー光導波路を介してフォトディテクターに入力し、8個の電気信号を出力している。

図2は自由空間光を用いてバックプレーン上に光配線を形成する場合の例である⁴⁾。この例では、バックプレーン上

での光配線の形成にホログラムとミラーを用いている。ホローバックプレーンと呼ばれるバックプレーン上にたくさんのホログラムを形成してこのホログラムによりボードからの信号光を集光し、ミラーで反射させた後再び集光して所定のボードに入力させている。このようなホログラムを用いたバックプレーン光配線はほかにもいくつか提案されている。

自由空間光を用いたバックプレーン光配線の別の例を図3に示す⁵⁾。この例では、バックプレーン上にそれぞれのボードに対応したスマートピクセルアレイを用意して、このスマートピクセルアレイを介してボード間を多チャンネルの光配線で接続している。バックプレーン上の配線は必ずしもすべてが光配線である必要はなく、電気配線との混用も可能である。スマートピクセルの回路構成図を図4に



ODB: Optical Data Bus

図5 光導波路を用いたバックプレーン光配線。

示す。スマートピクセルには発光素子と受光素子が搭載されている。ボードからスマートピクセルへの信号転送は注入信号線を用いて、また、スマートピクセルからボードへの信号転送は抽出信号線を用いて行われる。スマートピクセルアレイ内のピクセルの選択は X アドレスビット線と Y アドレスビット線を用いて行う。チャンネルアドレスビット線は複数の注入信号線と抽出信号線の中からそれぞれ1本ずつの注入信号線と抽出信号線を選択するのに用いられる。注入信号線と抽出信号線は注入チャンネルセクターと抽出チャンネルセクターによって行われる。このような光配線を用いるとバックプレーン上で2次元メッシュやハイパーキューブ、クロスバーのようないろいろな結線状態を作り出すことができる。また、バックプレーンで結線状態をいろいろ切り替えることもできる。したがって、再構成可能なバックプレーン (reconfigurable backplane) が実現できる。このような結線状態の切り替えは、システムの動作中に行うこともでき、ダイナミックに再構成可能なバックプレーンも実現可能となる。

導波光を用いたバックプレーン光配線の例を図5に示す³⁾。光バックプレーン上にポリマー光導波路が形成されており、これによってボード間を接続している。この例ではボード内のチップ間配線にもポリマー光導波路を用いており、バックプレーン上の光導波路とボード内の光導波路の接続はホログラム・カップリングアレイを用いて行っている。

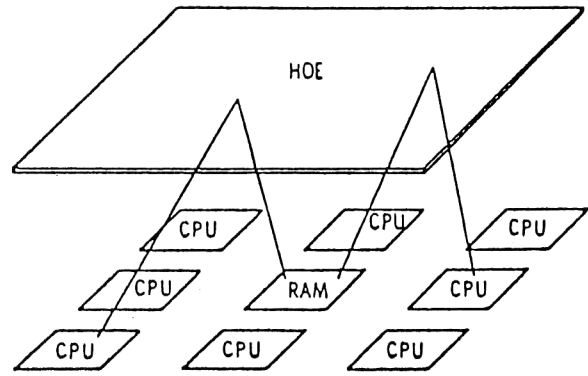


図6 ホログラムによるチップ間光配線を用いた並列処理システム。

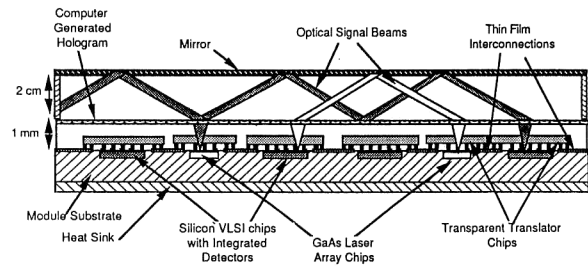


図7 ホログラムとミラーを用いたチップ間光配線。

1.2 チップ間光配線

自由空間光を用いたチップ間光配線の例を図6に示す⁶⁾。この例では、結線にホログラムを用いている。あるチップ上に搭載された発光素子から放射された信号光がその上方に設けられたホログラム板で反射され、別のチップ上の受光素子に入射することによって光配線が形成される。図は光配線をマルチプロセッサ・システムに応用した例であるが、図に示すメモリー (RAM) はホログラムを用いた光配線により、メモリー周辺に配置された複数のプロセッサ (CPU) から同時にアクセスされる。すなわち、このメモリーには多数のプロセッサを同時に接続できるので、ポートを多数もったマルチポートメモリーとして働く。このマルチポートメモリーにより多数のプロセッサは同じデータを同時に共有しながら並列処理ができるので、このマルチポートメモリーによって新しい共有メモリーが実現できる。

このように、ホログラムを用いた光配線は光のもつ並列性をそのまま生かすことができるので、並列処理機能が要求されるシステムには非常に適している。ホログラムとミラーを用いたチップ間光配線の例を図7に示す⁷⁾。この例では、MCM (multi-chip module) 基板に石英ガラスのような透明基板を用いており、この基板の表面に受光素子を搭載した集積回路チップとレーザーダイオードアレイ・チッ

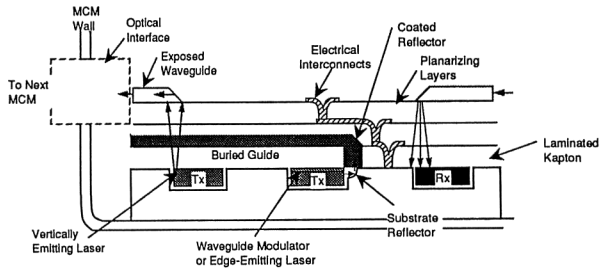
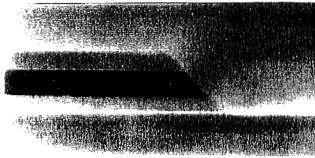


図8 光導波路を用いたマルチチップモジュール。

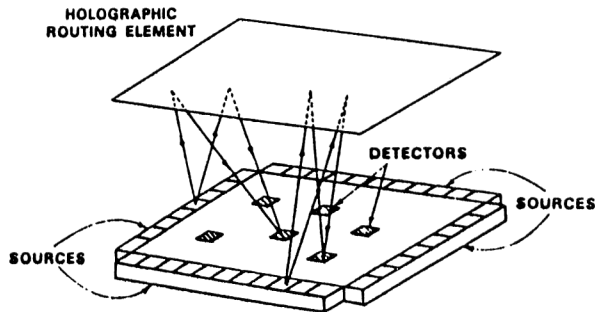


図9 ホログラムを用いたチップ内光配線。

チップがフリップチップ・ボンディングされている。MCM 基板の裏面にはホログラムが形成されている。MCM 基板裏面側には少し距離をおいてミラー板が配置されている。MCM 基板表面のレーザーダイオードから発せられた信号光は基板裏面のホログラムで方向を曲げられた後ミラー板で反射され、再びホログラムで集光されて集積回路チップ上の受光素子に入射する。ホログラムとミラー板の間で何度も反射を繰り返すことによって、光信号を遠くのチップへと送ることも可能である。

図8はMCM基板内のチップ間光配線に光導波路を用いた例である⁹⁾。この例では、光導波路と発光・受光素子間の結合を光導波路端部に形成した45°反射面を利用して行っている。この反射面はレーザー加工によって形成する。この場合の光導波路はコア層としてUltem、クラッド層としてBCB(benzo-cyclo-butene)を用いている。この光導波路のパターニングにもレーザー光を用いている。発光素子には面発光レーザー(VCSEL)を用いており、これをMCM基板に埋め込んでいる。面発光レーザーからの出力信号光を光導波路端部に形成した45°反射面で反射させて光導波路中に導いている。

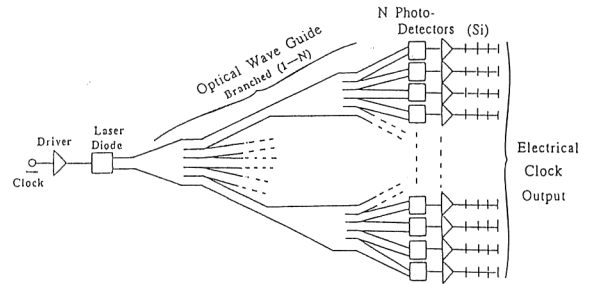


図10 光導波路を用いたチップ内光配線の構成。

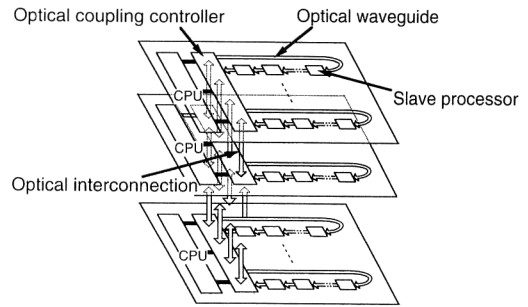


図11 チップ間光配線を用いた並列処理システム。

チップ間光配線として、光導波路を用いたMCM基板を多層に重ねて3次元光電子集積MCMを構築する例も提案されている⁹⁾。

1.3 チップ内光配線

チップ内では電気配線を用いても高速のデータ転送が可能なることから、チップ内にまで光配線が使われるようになるのはかなり先のことになるものと思われるが、集積回路チップのチップサイズが世代ごとに増大しその結果として配線長が長くなっていくことを考えると、やがては配線遅延によってチップの性能が制限されるようになるので、将来的にはチップ内でも長距離配線に光配線が使われるようになる可能性はある。チップ内光配線の場合も自由空間光を使った光配線と導波光を使った光配線に分けられる。図9はチップ内の任意の箇所へ信号を送るのにホログラムを利用した、自由空間光による光配線を用いた例である。ホログラムパターンを変えることによって結線状態を変えることも可能である。光導波路を使ってクロック分配を行う場合のチップ内光配線の構成例を図10に示す¹⁰⁾。このような光導波路を集積回路チップ上に形成する場合は、集積回路の製作技術をそのまま利用できるため集積回路との相性も良く、高性能の光導波路を形成できる。

2. 光配線を用いた並列処理システム

2.1 システムの概要

ここでは、筆者らが実際に開発しようとしている図11に

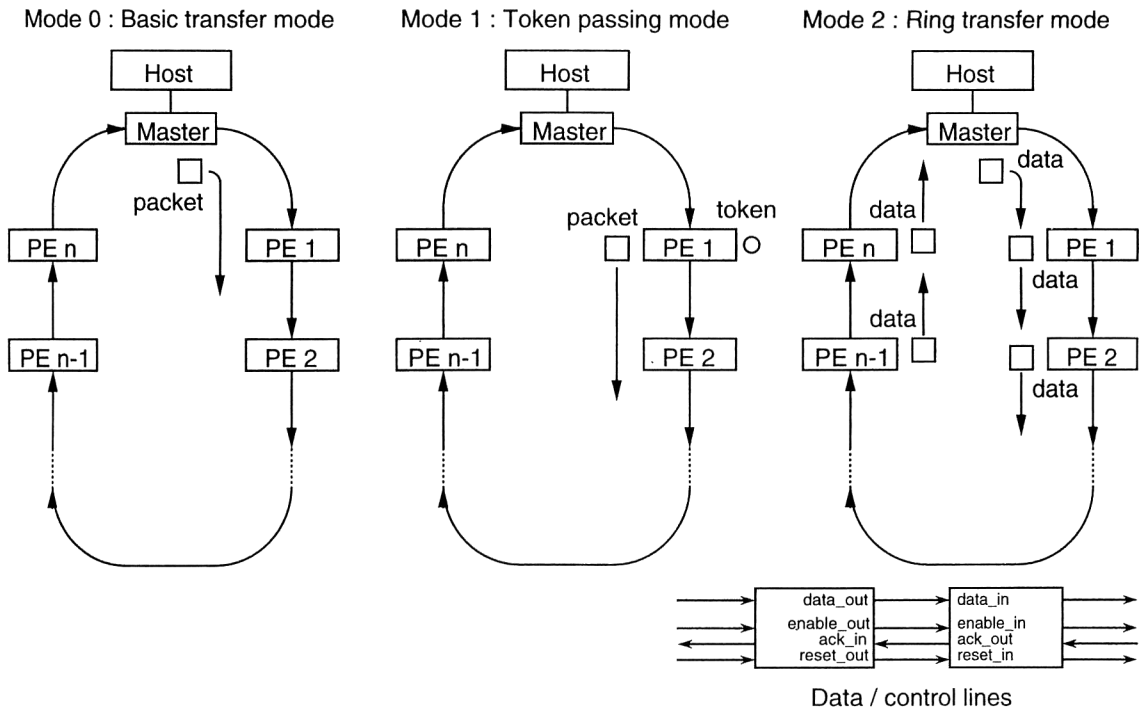


図 12 3種類の種類データ転送モードを有するリングバス・アーキテクチャー。

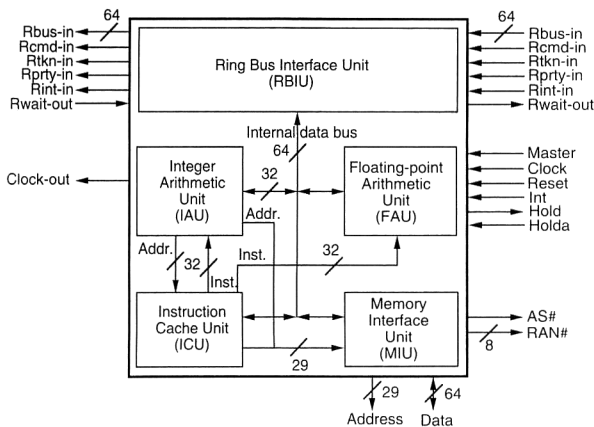


図 13 モンテカルロ解析専用 RISC マイクロプロセッサチップのブロック図。

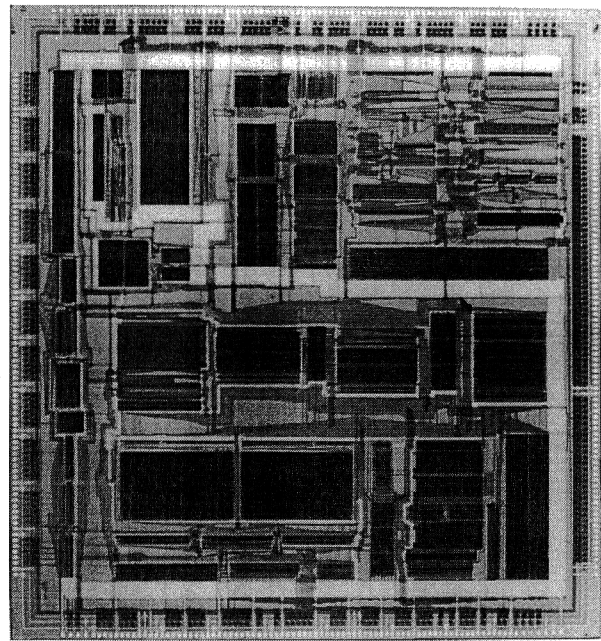


図 14 モンテカルロ解析専用 RISC マイクロプロセッサチップの写真。

示すような光配線を用いた並列処理システムの例を紹介する¹¹⁾。このシステムではボード内のチップ間光配線として光導波路を、またボード間光配線として自由空間光による光配線を用いている。この並列処理システムはモンテカルロ計算専用の並列処理システムとして開発を進めている。システム・アーキテクチャーとしては図 12 のような 3 種類の動作モードをもつ新しいリングバス・アーキテクチャーを採用している。このシステムで用いる専用のマイクロプロセッサチップも開発済みである。チップの内部構成に対するブロック図を図 13 に、試作したチップの写真を図 14 に示す¹²⁾。このチップはリングバスを介して高速にデータを転送できるようにするために、内部に高速のリングバ

ス・インターフェイス・ユニットを設けている。また、モンテカルロ計算で重要な乱数を高速に発生できるように、演算に VLIW 方式を採用して高速化している。このチップを用いて並列処理システムを構築するために、1 個のプロセッサチップに 8 個の 1 Mbit・SRAM を接続して 1 つのプロセッサエレメント・ノードとした。このようなプロセッサエレメントを接続する 64 bit のバス幅をもつ

ングバスにポリイミド光導波路の光配線を使う。プロセッサエレメントが良好に動作することはすでに確認済みである。また、図12に示した3種類のリングバス・データ転送モードに関して、23個のプロセッサエレメントを電気バスで接続してモンテカルロ解析プログラムを走らせることによって良好に動作することを確認している。次のステップとしては、これらのプロセッサチップを光導波路で接続して動作させることを目指している。

2.2 マイクロミラー付き光導波路とマルチチップモジュールの試作

筆者らが実現しようとしている並列処理システムでは、光配線をもつマルチチップモジュールの開発がシステム実現の鍵を握っている。開発しようとしているマルチチップモジュールの断面構造を図15に示す¹¹⁾。図からわかるように、このマルチチップモジュールでは光配線としてポリ

イミド光導波路を用いている。プロセッサチップはこの光導波路を跨ぐようにフリップチップ・ボンディングされる。プロセッサチップ上の発光・受光素子と光導波路の結合は光導波路の下に形成したマイクロミラーを介して行う。実際に試作したマイクロミラー付き光導波路の構造と光導波路からの出力信号の観測結果を図16に示す^{13,14)}。シリコン基板表面に形成された1 μm 程度の段差部分にAlからなるマイクロミラーが形成されている。このマイクロミラーの上にポリイミドの光導波路が形成される。光導波路に入射してきた光信号はマイクロミラーの部分で一部は垂直方向に反射され、残りは透過する。したがって、このマイクロミラーを用いると光信号の分岐ができる。実際、図からも明らかなように、1つの光信号からたくさんの分岐信号が得られている。このようなマイクロミラー付き光導波路を形成した光基板(optical plate)にフォトダイオード・アレイを形成した集積回路テストチップをフリップチップ・ボンディングすることによって作製したマルチ

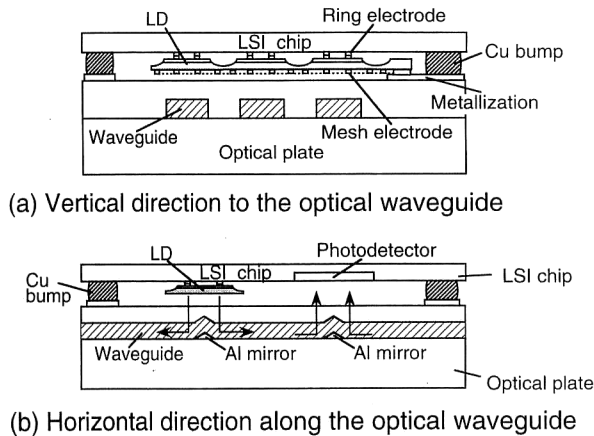


図15 光導波路を有するマルチチップモジュールの断面構造。

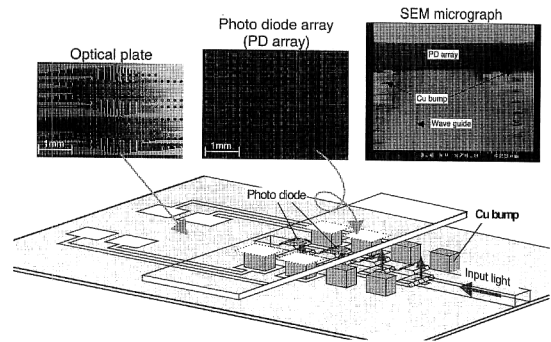
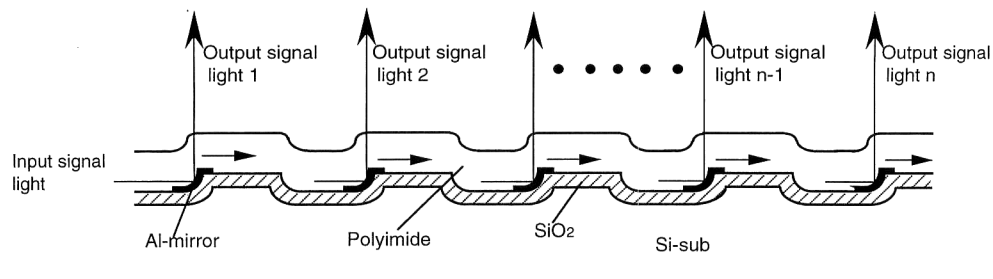


図17 光導波路を有するマルチチップモジュールのSEM写真。



(a) Output signal light



(b) Cross-sectional view

図16 マイクロミラー付き光導波路における分岐信号の観察。

チップモジュールのSEM写真を図17に示す。発光素子は図18に示すように、テストチップに深溝を形成してそこに埋め込んだ。このようなマルチチップモジュールで測定した光導波路の信号伝達特性を図19から図21に示す¹⁵⁾。図19は光信号入射後のフォトダイオードの逆方向電流-電圧特性の変化である。図ではマイクロミラーの段数の関数として電流-電圧特性をプロットしている。図からわかるように、ミラー段数が増えてくると光電流も減少するが、ミラー段数が10段程度まではかなり大きな光電流が得られている。図20ではフォトダイオードの光電流をマイクロミラーの段数に対してプロットしている。パラメータとしてミラー間の距離を変えている。この特性の傾きからマイクロミラー部での損失も含む光導波路の伝搬損失が求められるが、このようにして求められた損失をミラー間距離の関数としてプロットすると図21に示すように直線によく乗る。この直線の切片からマイクロミラー1段当たりの損失が求まる。図から、マイクロミラー1段当たりの損失として約0.13 dBという値が得られた。この値は十分許容できる値である。

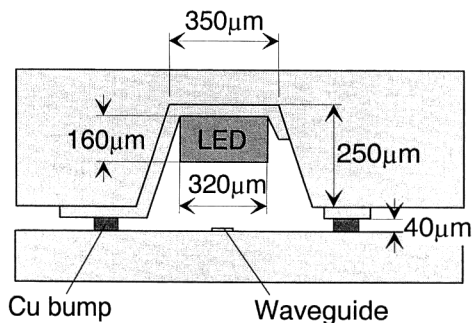


図18 テストチップへの発光素子の搭載。

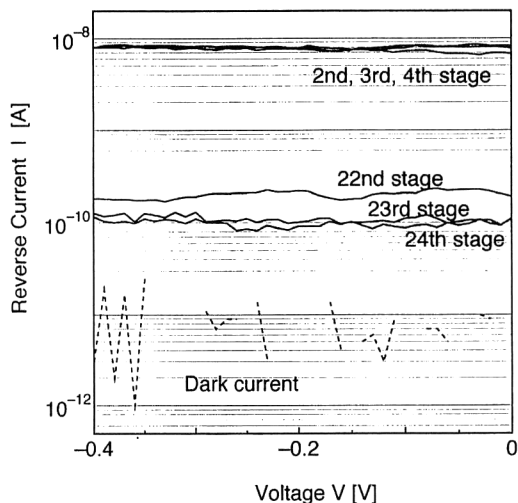


図19 マイクロミラー部に設けられたフォトダイオードの逆方向電流-電圧特性。

LSIの技術開発はいろいろな意味で難しい段階に入ってきている。昔からLSIの限界が議論され、そのたびに限界が遙か遠くへ追いやられるということを繰り返してきたこともあって、限界については楽観的に考えている人もまだ多い。しかし、トレンドの先にいろいろな技術がどうなっていくかが以前よりもはっきり見えるような時代になってきた今、トレンドにばかりしがみついていないでいろいろな角度から集積化というものを真剣に考えなければなら

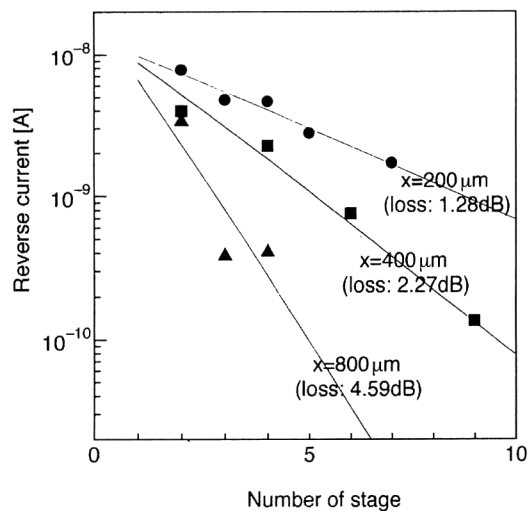
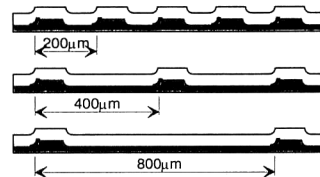


図20 フォトダイオード逆方向電流のミラー段数依存性。

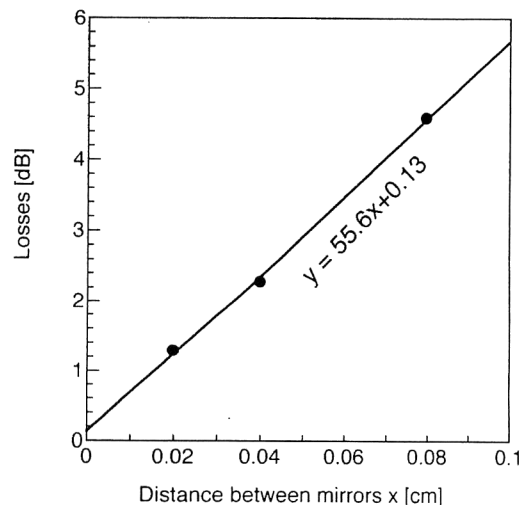


図21 伝搬損失のミラー間距離依存性。

い時期にきている。そのような意味で、ハードウェア技術の対象が回路からシステムへと移行していく流れの中、ここで取り上げたシステム集積化技術は今後ますます重要になっていくものと思われる。その中でも、光配線技術はシステムの高性能化に不可欠の技術である。しかし、実際のシステム集積化技術の中の基幹技術となっていくためには、まだまだ解決しなければならない問題が山積している。集積回路研究者と光技術研究者のよりいっそうの歩み寄りが必要である。

文 献

- 1) M. Koyanagi: IEEE Micro, **18** (1998) 17-22.
- 2) M. Koyanagi: Proc. VLSI '91 (1991) pp. 3-1.
- 3) R.T. Chen: "Optical interconnects," *OE/LASE '93 Short Course Notes (Optics, Electro-Optics & Laser Applications in Science & Engineering)*, SC47 (1993) pp. 7-26.
- 4) R. C. Kim, *et al.*: J. Lightwave Technol., **9** (1991) 1650.
- 5) H. S. Hinton, *et al.*: *Dig. ISSCC (IEEE International Solid-State Circuits Conference)* (1996) pp. 404-405.
- 6) W. H. Wu, *et al.*: IEEE Trans. Electron Devices, **ED-34**, (1987) 706-714.
- 7) J. E. Morris, *et al.*: Proc. SPIE Optoelectronic Interconnects, **1849** (1993) 48-53.
- 8) J. Bristow, *et al.*: Proc. SPIE Optoelectronic Interconnects, **2400** (1995) 61-73.
- 9) J. F. McDonald, *et al.*: Proc. SPIE Int. Sympo. on Advances in Interconnection and Packaging, **1390** (1990) 286-301.
- 10) I. Hayashi: Jpn. J. Appl. Phys., **32** (1993) 266-271.
- 11) M. Koyanagi, *et al.*: Proc. SPIE Optoelectronic Interconnects, **2400** (1995) 186-191.
- 12) M. Koyanagi, *et al.*: *Dig. ISSCC (IEEE International Solid-State Circuits Conference)* (1998) pp. 92-93.
- 13) M. Koyanagi: Proc. SPIE Optoelectronic Interconnects and Packaging, **CR62** (1996) 329.
- 14) T. Matsumoto, *et al.*: Jpn. J. Appl. Phys., **36** (1997) 1903.
- 15) Y. Kuwana, *et al.*: Ext. Abstr. Int. Conf. on Solid State Devices and Materials (1998) pp. 386-387.

(1998年10月30日受理)