

# 光信号処理用の面型半導体デバイス

坂田 治久・松島 裕一

面型光機能素子は光入力論理演算や光記憶素子として用いることができ、2次元並列的に集積可能である。現在までに光並列処理に応用可能な半導体面型光機能素子としてさまざまな素子が提案されている<sup>1-3)</sup>。ここで半導体面型光機能素子を光メモリーとして用いた場合、記憶内容を保持するためには外部から一定のエネルギーを供給する必要がある。たとえば光サイリスター等の光電メモリーでは、記憶内容を保持するための電力が必要となるため、多数の素子を集積化して用いた場合、全体としての消費電力が大きくなる。低消費電力の光メモリーがあれば集積化しても全体の消費電力を抑えることができ、大規模並列光インターコネクション等への応用も期待できる。本稿では新たな光機能動作を目的として開発した面型光機能素子、対称型三角バリアー光スイッチ (symmetric triangular-barrier optoelectronic switch: S-TOPS) について報告を行う<sup>4,5)</sup>。この素子は単純な構造でありながら、負性抵抗を用いた低消費電力光メモリー動作が可能である。

## 1. 素子の構造および特性

図1(a), (b) に本素子の構造および特性を示す。この素子は分子線結晶成長法で作製された InP 基板に格子整合した InGaAs から構成され、 $n^+ - i - \delta p^+ - i - n^+$  の単純な構造で  $\delta p^+$  層 (厚さ: 9.8 nm) の三角バリアー形のポテンシャル障壁層をもつ。外部から入射した波長  $1 \mu\text{m}$  帯の光は  $i$ -InGaAs 層で吸収され、バイアス電圧が十分大きい場合アバランシ増倍が起き正帰還によるスイッチングが起きる。

室温における D.C 電流-電圧特性は図1(b) に示すように暗状態では正負両極性で良好な S 字型負性抵抗が得られ、同時に電流にヒステリシスが観測される。このヒステリシス特性による動作は以下になる。まず素子に正極性の電圧を印加すると、負性抵抗により閾値電圧  $V_{\text{th\_OFF}}$  を超えるとスイッチングが起き、電流は急激に流れ、閾値電圧は  $V_{\text{th\_ON}}$  に低下する。再び正極性で電圧を増加しても閾値電圧は  $V_{\text{th\_ON}}$  に下がったままとなり、正

極性では明瞭な負性抵抗は観測できなくなる。このときの動作は図中で①→②→③→②となる。同様に負極性における動作は図中で①'→②'→③'→②'となる。ここで負極性で負性抵抗が消失すると正極性においては再び負性抵抗が回復し、正極性の閾値電圧は  $V_{\text{th\_ON}}$  から  $V_{\text{th\_OFF}}$  に再び大きくなる。よって電流の履歴は正負両極性でヒステリシスが得られ、正負どちらかの極性でのみ負性抵抗を有するという特性をもつため、閾値電圧の大きさを記憶内容とするメモリーとして用いることができる。さらに本素子に  $1 \mu\text{m}$  波長帯の光を入射してスイッチングを行うことも可能である。

## 2. 素子のメモリー動作

2つの状態間遷移をメモリーとして用いた動作を図2に示す。上部枠内は '1' 状態、下部枠内は '0' 状態を表し、同時にそれぞれの読み出し動作を表す。ここで '0' 状態から '1' 状態への遷移は書き込み動作、逆の動作を消去動作と定義すると、読み出し動作は次のように行うことができる。A.C 電圧振幅  $V_{\text{amp}}$  を  $|V_{\text{th\_ON}}| < V_{\text{amp}} < |V_{\text{th\_OFF}}|$  の範囲で印加すると出力電流は単一極性のみ流れる。すなわち素子が '1' 状態のときは正極性のみ電流が流れ、一方素子が '0' 状態のときは負極性のみ流れる。これにより電流が流れる極性により素子の記憶内容を読み出すことができる。また書き込み動作は電氣的または光学的のどちらでも行うことが可能である。電氣的には素子に  $V > V_{\text{th\_OFF}}$  の電圧パルスを与えることで '0' 状態から '1' 状態への遷移を行うことができる。光学的には電圧パルスを補助的に用

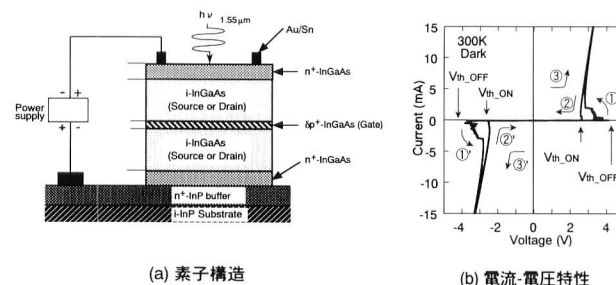


図1 素子構造および特性。

KDD 研究所 (〒356-8502 上福岡市大原 2-1-15)  
E-mail: sakata@kddlabs.co.jp

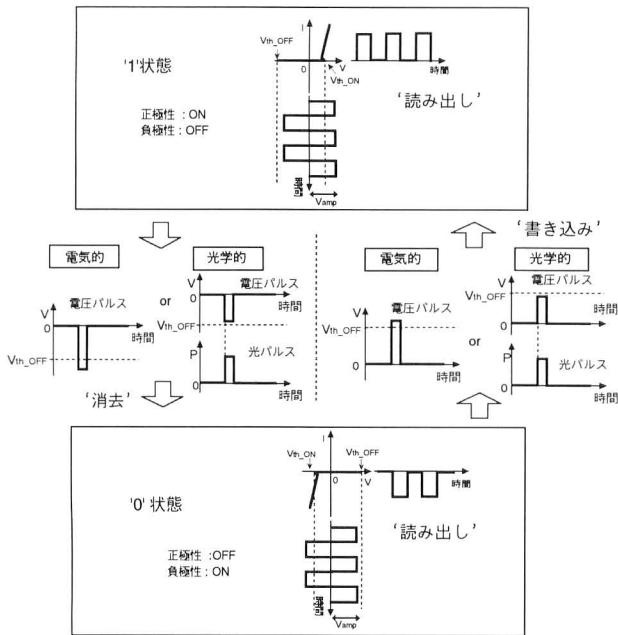


図2 メモリー動作説明図。

い  $V_{th\_ON} < V < V_{th\_OFF}$  の電圧パルスと一定光量の光パルスを同時に与えることで行うことができる。消去動作も同様に  $V < V_{th\_OFF}$  の電圧パルス、あるいは  $V_{th\_OFF} < V < V_{th\_ON}$  の電圧パルスと光パルスを同時に与えることで '1' 状態から '0' 状態への遷移を行うことができる。データの記憶内容は閾値電圧の大きさで判別可能であり、本素子は電気メモリーまたは光メモリーとして用いることができる。特に本素子ではこの記憶内容は電源を切って両端を電氣的に短絡しても一定時間保持することが可能であり、現在数分程度の記憶動作を確認している。この素子の記憶動作の原理としては素子内部でのキャリアトラップによるものと考えられる。実際に光パルスを用いた動的メモリー動作を図3に示す。素子に正極性の電圧を印加し光パルス①を入射した場合、素子の記憶内容は '0' 状態から '1' 状態に書き込まれ、これ以降の出力電流は正極性の電圧印加でのみ流れる。一方負極性の電圧印加の場合に光パルス②を入射した場合、素子の記憶内容は '1' 状態から '0' 状態に消去され、出力電流は負極性の電圧印加でのみ流れる。

以上のように本素子では一定時間記憶内容が保持されるため保持エネルギーを小さくすることができる。また単純な構造であるため2次元並列構造への集積化が容易であ

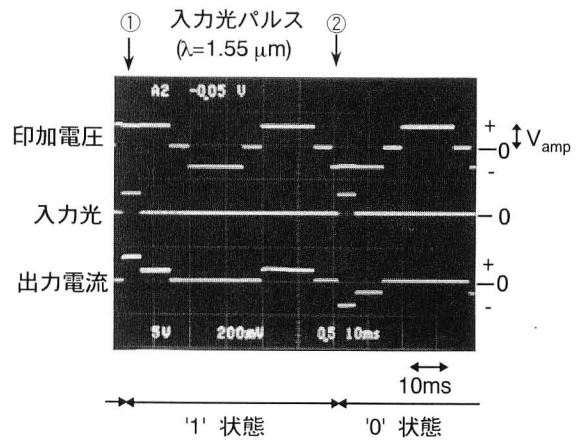


図3 光パルスによる動的メモリー動作。

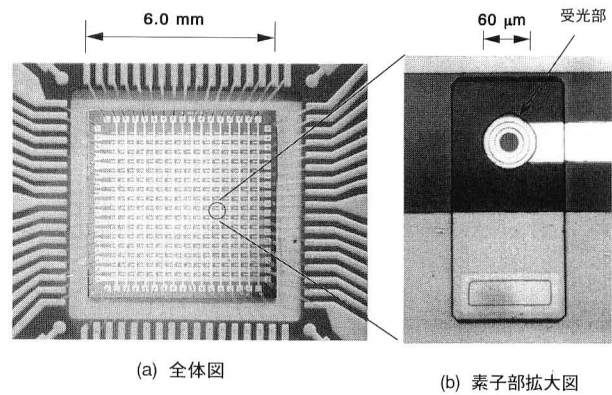


図4 16×16 アレイ構造素子。

り、素子を多数アレイ化して並列光メモリーとして用いても全体の消費電力は小さくてすむ。実際に作製した16×16アレイ構造素子を図4に示す。これらの特徴を生かして、本素子は光メモリーや光インターコネクション等への応用が期待される。

## 文 献

- 1) D. A. B. Miller: Opt. Quantum Electron., **22** (1990) S61-98.
- 2) K. Kasahara, *et al.*: Appl. Phys. Lett., **52** (1988) 679-681.
- 3) C. Amano, *et al.*: IEEE Photonics Technol. Lett., **3** (1991) 736-738.
- 4) H. Sakata, *et al.*: J. Cryst. Growth, **175/176** (1997) 1259-1264.
- 5) H. Sakata, *et al.*: J. Opt. A: Pure Appl. Opt., **1** (1999) 435-437.

(2000年5月15日受理)