

ビジョンチップと情報フォトニクス

太田 淳

Vision Chips in Information Photonics

Jun OHTA

This paper describes vision chips in information photonics technologies. First, Si-VLSI technologies for vision chips are described. A multi-project-wafer system in a LSI foundry provides an effective method for a research and development to design and fabricate LSI chips with a low cost. Next, present status of vision chips is mentioned in detail. They are classified into three categories; analog, digital and pulse modulation. In all of categories, recent technologies in CMOS image sensor greatly help to improve their device characteristics as practical ones such as good sensitivity and uniformity. VLSI photonics technologies are addressed as a future trend in vision chips.

Key words: vision chips, VLSI photonics, Si-VLSI, CMOS image sensors

1. 序論

LSI (large scale integration) 微細化集積化技術を背景として、CMOS (complementary metal oxide semiconductor) イメージセンサーの画素内に処理回路を集積化し処理の高速化・高機能化を目指したビジョンチップの研究開発が活発化している。情報フォトニクス分野にとって、前処理的な画像処理を画素並列に行うビジョンチップは重要なキーデバイスのひとつである。

ビジョンチップは当初 Mead の Si 網膜¹⁾に代表されるように生体視覚情報処理機能を Si-VLSI (Si-very large scale integration) 技術を用いて模倣するデバイスであり、主としてアナログ演算、近傍結合がその特徴であった²⁾。近年は生体視覚情報処理系にとらわれずに広く画素内に処理回路を集積化し高機能化を図ったイメージセンサーを指すことが多い³⁾。表 1 にビジョンチップの分類を示す。

本稿では主として情報フォトニクスの視点から Si-VLSI 利用技術分野のひとつであるビジョンチップについて述べる。まずビジョンチップ実現の手段として重要な Si-VLSI およびその周辺技術を概観し、次にビジョンチッ

プの現状と今後の展開について述べる。最後にまとめを行う。

2. ビジョンチップにとっての Si-VLSI 技術

近年の LSI の進展はめざましく、システム LSI に代表されるように大規模なシステムがワンチップに集積化されている。それに伴い作製プロセスは数百もの工程数を有する高度で複雑なものとなっており、すでに何年も前から LSI 専業メーカー以外では最先端の LSI を試作することはきわめて困難な状況である。また LSI を設計できるとしても、その試作には莫大なコストがかかるため、研究用途に LSI チップを試作することは不経済である。

この問題を解決する方策が LSI の試作サービスのひとつであるマルチプロジェクトウェハー (MPW) 方式である。これは複数のユーザーが設計したデータを 1 枚のフォトマスク上に配列する方式で、マスク代とプロセス費用を複数のユーザーで分担できるため、同一設計チップを數き詰める通常の方式に比べて、チップ当たりの製作費用をきわめて安くできる利点がある。したがって、研究・開発用

表1 ビジョンチップの分類。

方 式	画素構成	特 徴	演算精度	回路規模
アナログ	差分回路 + 抵抗ネットワーク	生体視覚系模倣 回路網の収束状態が求める処理結果 プログラム性は低い	低	中
	電流演算 (Kirchhoff 則) 回路	画素出力電流の加減算 簡単な処理回路で処理内容変更可能	低	中
デジタル	ALU+メモリー	高いプログラム性 ロバストかつ高精度化可能 画素内 AD 変換必要	高	大
アナログ・デジタル融合	パルス変調回路 (幅, 周波数)	アナログ値をパルス幅や周波数で表現 ロバストかつ高精度化可能 ロジックとの組み合せ可能	中	中

表2 おもな MPW 試作サービス。

機関名(国)	URL	対 象	コメント
VDEC (日)	http://www.vdec.u-tokyo.ac.jp	大学関係機関限定	安価。ML 充実。 CMOS のみ。
VSAC (日)	http://vsac.jeita.or.jp/	中小企業限定	主としてデジタル系。 アナログ系は制限あり。 ファンダリーは比較的豊富。
MOSIS (米)	http://www.isi.edu/mosis/	制限なし	老舗。メニュー豊富。 ビジネスベース。 少々高い。
CMP (仏)	http://cmp.imag.fr/	制限なし	メニューは一番豊富。 アカデミックとビジネスベースの中間。 主要ファンダリーである AMS はツール類が充実。きわめて使いやすい。

のように少量のチップ数で十分な場合にはきわめて有効な方法といえる。これらの試作サービスを利用してすることで大規模な電子回路や受光素子アレイを有する LSI チップをユーザーが自由に設計できる。表2に MPW 試作サービスについてまとめた。最近は CMOS だけでなく、SiGe や SOS (silicon on sapphire), GaAs, InP など異なる材料系や MEMS (micro electro-mechanical system) などもサポートされている。また $0.25 \mu\text{m}$ や $0.18 \mu\text{m}$ など最先端に近いプロセスも利用でき、大規模システム化が実現可能である。

MPW 方式を利用したビジョンチップ試作における問題として、良好な受光素子特性が得られにくい点があげられる。標準 CMOS プロセスでは受光素子は寄生 pn ダイオードを利用することが多く、感度や暗電流特性、応答特性は最適化されていない。また微細化に伴い、(1) 接合深さが浅くなり、かつ不純物濃度が高くなることで受光感度が下がること、(2) 低抵抗化のためシリサイドが使われるが、受光素子上にこのシリサイドがあると感度が低下すること、(3) 電源電圧の低電圧化によりセンサー部やアナログ回路系では SN 比の劣化がおこる等、不都合な点が種々出てくる。また閾値電圧は電源電圧に則って減少しないの

で、電圧振幅低下の問題は一般的なアナログ回路と同じである。さらにリーコ電流も受光素子にとって大きな問題である。今後は受光素子に適したプロセスの選択が重要なになってくる。

3. ビジョンチップの現状

3.1 アナログ系とデジタル系ビジョンチップ

Mead らにより始まったビジョンチップは、現在 CMOS イメージセンサー技術の発展を取り入れ、実用的な光感度やばらつき補正等を導入した、実フィールドで応用可能な研究開発のフェーズに入っている。

まず生体の視覚機能に範をとったアナログ系ビジョンチップについて紹介する。八木らのグループは従来の抵抗ネットワーク Si 網膜における欠点であった特性ばらつきや低感度を克服し、実用に近い Si 網膜を開発することに成功している⁴⁾。初期の Si 網膜では、受光部としてフォトトランジスターやフォトダイオードの光電流を直接出力する形式が用いられていた(図1(a))が、感度が十分とれず実用的ではなかった。またサブスレッショルド動作のため特性ばらつきも大きかった。

このビジョンチップでは受光回路に通常の CMOS イメ

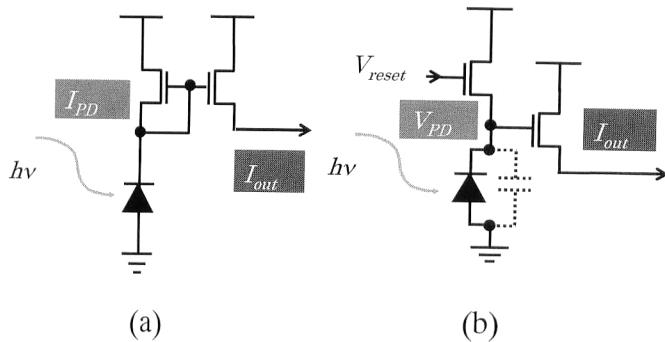


図1 ビジョンチップ受光回路形式。(a) 光電流直接出力方式, (b) 蓄積方式(APS: active pixel sensor)。

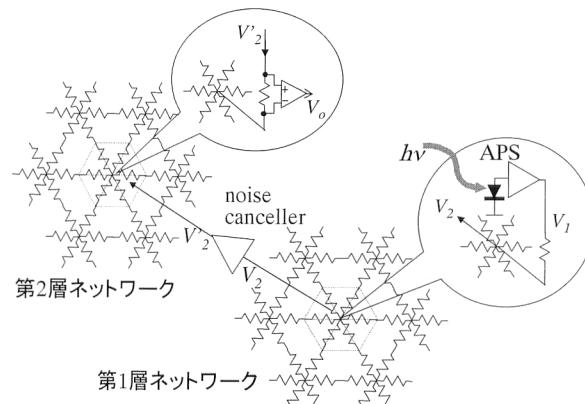


図2 Si網膜チップの画素回路構成。

ージセンサーに広く用いられている蓄積・増幅方式であるAPS (active pixel sensor)⁵⁾を採用し(図1(b)), 室内光での撮像を可能とする感度を実現した。また素子ばらつきを補償する回路を導入することで、良好な処理画像(LoG:Laplacian of Gaussian)を得ている。図2にこの回路を示す。2層ネットワークで、画素数 40×46 , チップサイズ9.8 mm角, $0.6 \mu\text{m}$ CMOSプロセスである。なおノイズキャンセラーと2層目ネットワークの差動アンプにはチョッパー比較器を用いている。このチップを用いてターゲットトラッキングへの応用などがデモンストレーションされており⁶⁾, 実用化に近い段階にきているといえる。

石川らのグループによるビジョンチップは上述の生体視覚系とは対照的な方向で、画素内にビットシリアル演算回路を集積化することで完全並列処理を狙ったものである⁷⁾。1 kHz程度の高速なセンシングを可能としており、ロボットアーム制御等さまざまな応用が実証されており一部実用化されている。現在 $0.35 \mu\text{m}$ CMOSプロセスを用いて 64×64 画素アレイが試作されている⁸⁾。画素回路構成を図3に示す。近傍4画素と結合されている。受光回路部は後述するパルス幅変調回路でAD変換器でもある。またこのビジョンチップと発光素子アレイをハイブリッド集積化

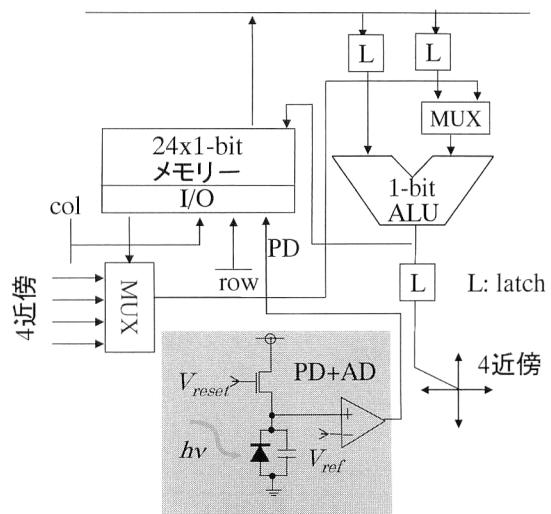


図3 ディジタルビジョンチップ画素回路構成。

して超並列光インターネットに応用した研究があり、本特集で解説がなされている。

このビジョンチップの場合、センサーとしての特性は画素内AD変換機能によるところが大きい。画素内にディジタル処理回路を有している利点を生かして、感度向上とノイズ抑制を最適化するようにAD変換特性を動的に制御することが提案されている⁹⁾。画素内の処理機能を画質向上に用いる点で興味深い。

以上のフルアナログ、ディジタルの両極の間にさまざまにビジョンチップが報告されている。それらのセンシング部としては、前述した直接光電流を出力する方式と前述した蓄積をベースとしたAPS方式がある。光感度の点で後者が圧倒的に有利であるが、応答速度では直接光電流出力のほうが適している。光無線LAN用ビジョンチップではこの2方式を切り替える画素構成となっている¹⁰⁾。光無線LANでは、例えばハブはノードを探索する必要がある。APSによるイメージセンサーモードではノードからの微弱拡散光を検出することは比較的容易である。一方ノードを発見した後は通信モードに入るため数百MHzの高速受光が必要となり、蓄積動作であるAPSは適さない。この場合、直接電流出力し適当な増幅を行い画素出力とする。画素構成を図4に示す。

汎用LSIプロセスではフォトダイオードは前述したように寄生pn接合を利用するため応答速度が比較的遅い。ここではBiCMOS(bipolar CMOS)プロセスの埋込コレクター層を拡散キャリヤーのブロック層として用いることで、基板深部からの拡散キャリヤーによる遅い応答成分を効果的に抑制している。

APS方式を利用した画像前処理を行うビジョンチップ

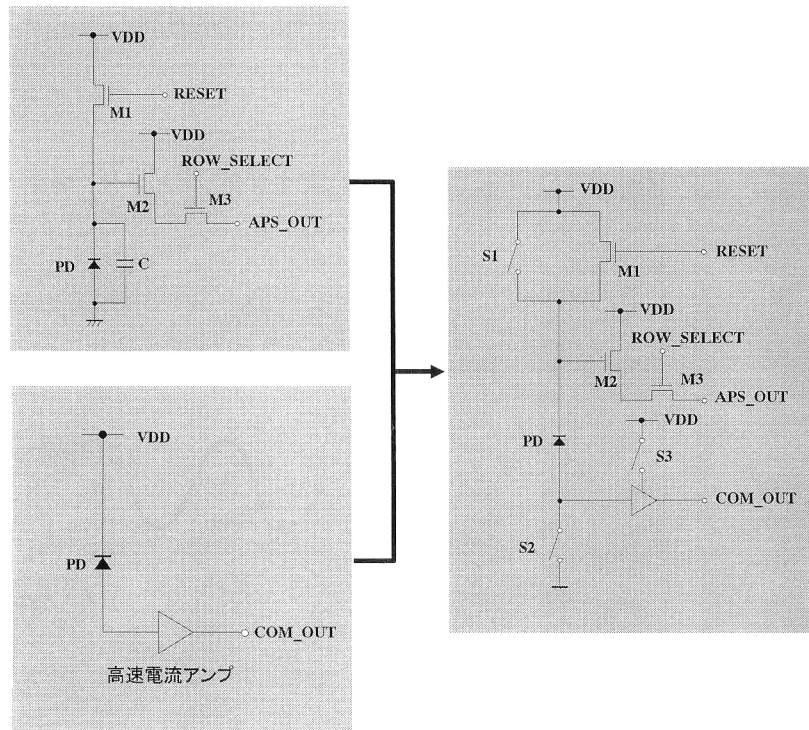


図4 光無線 LAN 用ビジョンチップ画素回路。

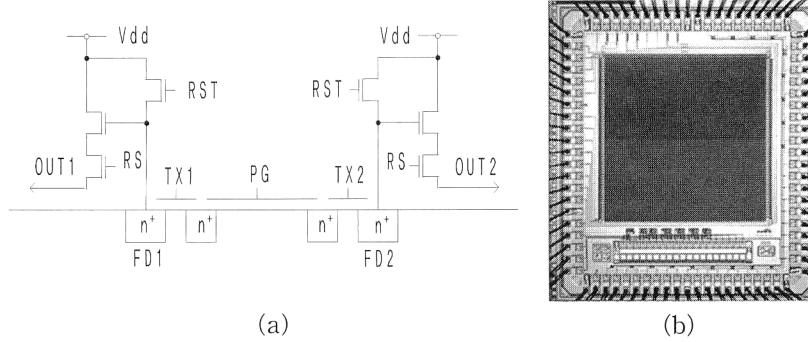


図5 変調光検波方式イメージセンサーの (a) 画素構成と (b) チップ写真。

として、変調光検波方式ビジョンチップが報告されている¹¹⁾。通常、APS 方式では蓄積のため強度変調した光は積分され撮像できない。しかしこのチップでは図 5(a) に示すように受光素子であるフォトゲート (PG) に対して 2 個の蓄積部を準備し、変調光の点滅周期に対応してこの 2 か所の蓄積部に振り分けて蓄積を行うことにより、蓄積しながら変調光 ON 時と OFF 時の画像を出力することができる。図 5(b) は試作した 64×64 画素チップの表面写真である。また図 6 はこのチップを用いて撮像した画像である。変調光を照射した部分のみが出力されていることがわかる。この機能により背景光に依存せず、あるいは背景光を除去して対象物体のみの撮像が可能となるため、後段の画像処理に有用であると考えられる。また変調光源をマーカ

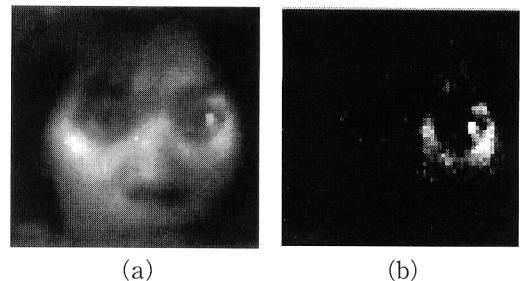


図6 変調光検波方式イメージセンサーによる撮像画像。
(a) 変調光+背景光, (b) 変調光成分画像。

ーとしてとらえれば、マーカー抽出が容易に行えるため、モーションキャプチャー等への応用も期待できる。図 7 は変調した LED をマーカーとして取り付けた物体 (犬の置

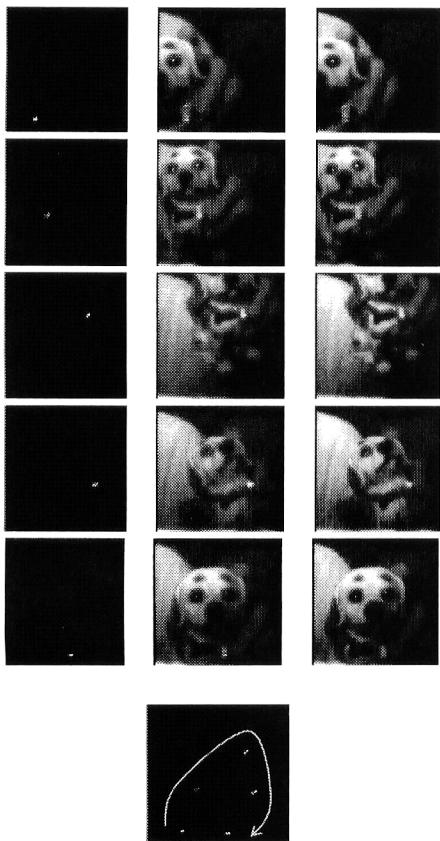


図7 変調光検波方式イメージセンサーによるターゲットトレーシング。左列：マーカー抽出結果、中列：背景光+変調光画像、右列：背景光画像、最下段：トレーシング結果。

物）を動かしたときにマーカーを検出できている様子を示している。このように変調光検波撮像は情報フォトニクス分野にとっても有用と考えられる。変調光検波イメージセンサーは他の方式も提案されている¹²⁾。

3.2 アナログ・デジタル融合ビジョンチップ

最近、APS 以外にパルス変調方式をベースとした、いわばアナログ・デジタル融合センシング方式の報告が多数出てきている。パルス変調方式は図8に示すように入力信号であるアナログ光信号をデジタルパルスに変換するア

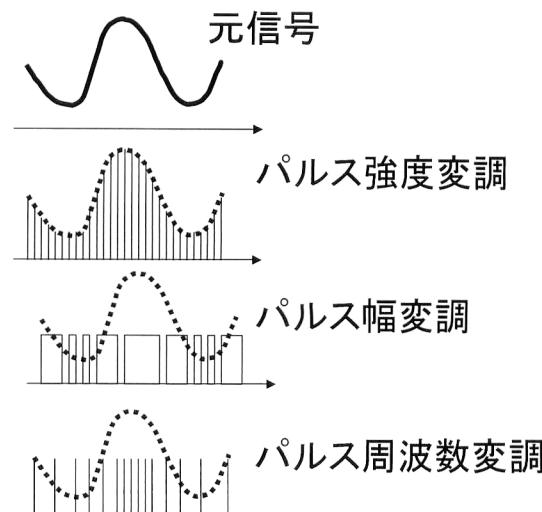


図8 パルス変調方式の概念。

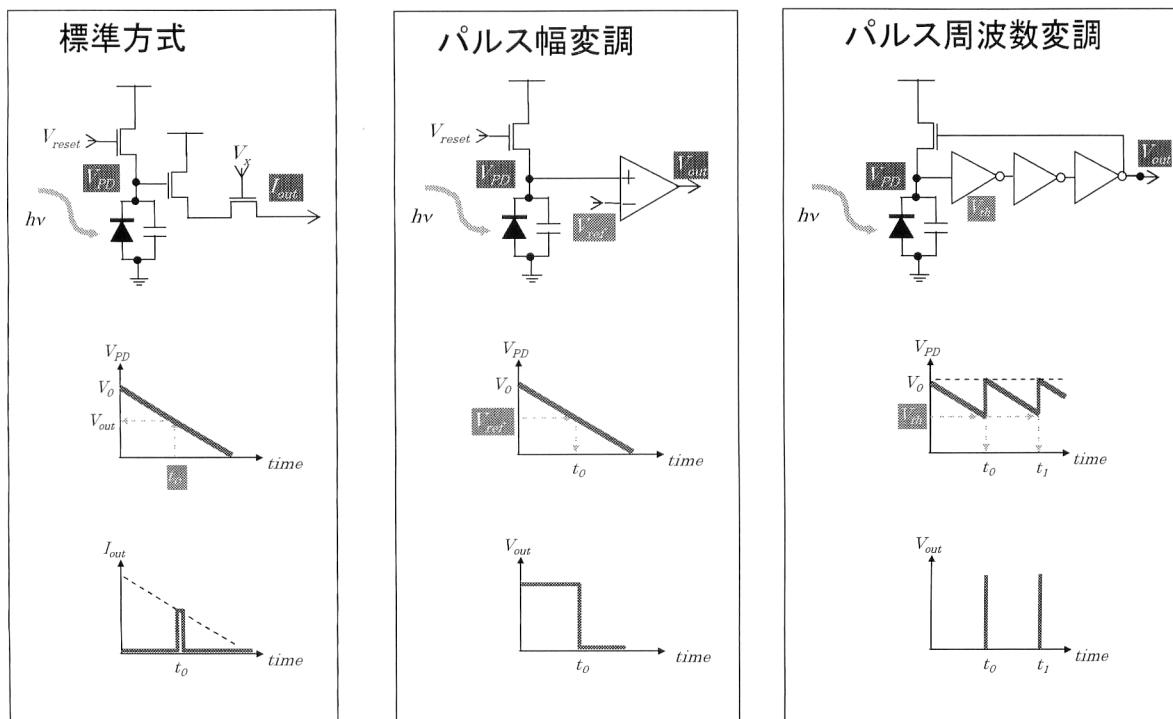


図9 APS とパルス変調方式の回路構成。

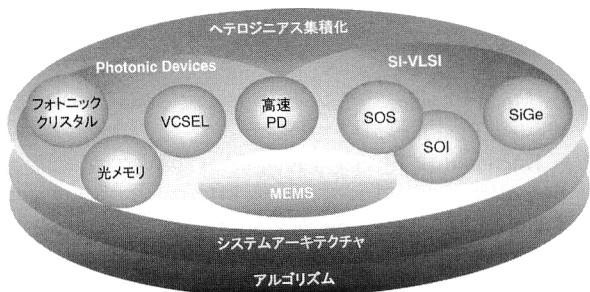


図10 VLSI フォトニクス分野の概要。

ナログ・ディジタル融合方式であり、おもにパルス幅変調方式 (pulse width modulation: PWM) とパルス周波数変調 (pulse frequency modulation: PFM) 方式の研究が進められている。

図9は従来のセンシング方式とパルス変調方式における回路方式を比較したものである。従来のイメージセンサーではある時間 (フレーム時間) における電荷蓄積量を検出し、その値 (アナログ値) を光量として出力する。それに対してパルス変調方式ではこの電荷蓄積量をモニターする。例えばPWMでは電荷蓄積量を電圧として検出し、その電圧がある値 (参照電圧) になった時点で出力をLOからHIにする。したがってパルス出力がHIになるまでのパルス幅が光量に比例する。PFMでは、この電圧値をインバーターチェインに入力し、その出力をリセットトランジスターにフィードバックしている。これにより電荷蓄積量がある値になるとインバーターチェインがLOからHIになり、リセット動作がなされ蓄積電荷がリセットされる。その結果光量に比例してパルスが出力される頻度が変わる、すなわち光量がパルス周波数に変換される。

このようなパルス変調方式の特徴として、時間でなく電圧値でリセット動作を決めるため、外部制御が行いやすいことや、画素ごとに独立して動作が可能なことがある。また出力がディジタル値であるため、後段にロジック回路等を導入して高機能化を図ることが容易なことなども特徴である。

PWM方式の応用として、広ダイナミックレンジ化がある¹³⁻¹⁵⁾。リセット動作後に参照電圧値を上げれば、さらに高照度まで撮像可能となる。このことを利用して、適応的に参照電圧値をコントロールすることで幅広いダイナミックレンジが獲得できる。

PFM方式では、可変閾値を導入することで出力の線形性を改善した報告がある¹⁶⁾。また失明患者の視覚回復を目指した人工視覚へのPFM方式イメージセンサーの応用も検討されている¹⁷⁾。これは網膜細胞の応答にとってパルス刺激が適しているためである。さらにパルス出力である利

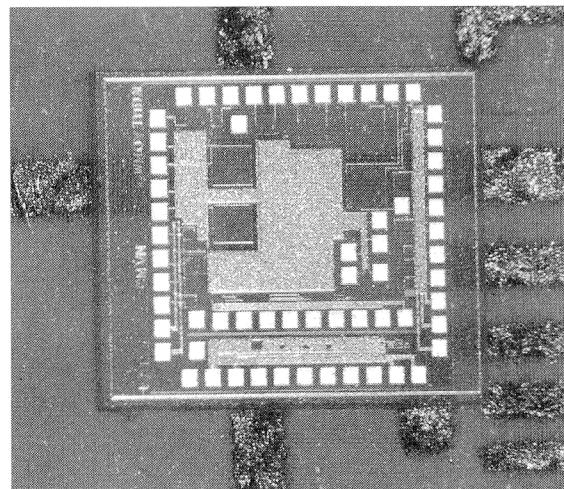


図11 SOS 上受光素子テストチップ写真。

点を生かして分周回路を導入して感度可変機能も実現されている¹⁸⁾。

4. ビジョンチップの今後の展開—VLSI フォトニクス—

今後情報フォトニクス分野におけるビジョンチップは、例えばVCSEL (vertical cavity surface emitting laser) やMEMS等との集積化を通じて、光インターフェクションへの応用等より高次のシステムを目指していくと考えられる。このような分野はVLSI フォトニクスとよばれ、情報フォトニクスにとって重要な一分野を形成すると予想される。図10はVLSI フォトニクス分野の概念を示したものである。VLSI フォトニクスにとって、アルゴリズムやアーキテクチャー等の研究からパッケージング等実装技術、あるいは材料技術まで幅広い領域での総合的な研究が要求される。

ここではCMOS以外のSiGeやSOSを利用したビジョンチップの研究を紹介する。図11はSOS上0.5 μm CMOSプロセスを用いて試作した受光素子等のテストチップである¹⁹⁾。SOS基板は透明なため、チップを置いている紙の模様が透けて見ている。このような透明基板は、裏面入射やVCSELとの集積化などVLSI フォトニクスにとって有効であると考えられる。またSiGe BiCMOSプロセスを利用した発光光源集積化ビジョンチップの研究も行われている²⁰⁾。図12は、SiGe BiCMOSプロセスを利用した照明光源集積化ビジョンチップのチップ写真とその発光パターンである。逆バイアス下でのSi-pn接合の発光現象を利用してLEDを受光素子アレイの周辺に集積化している。照明光源を集積化することで、狭い場所での撮像機能が必要とされるアプリケーションに適している。

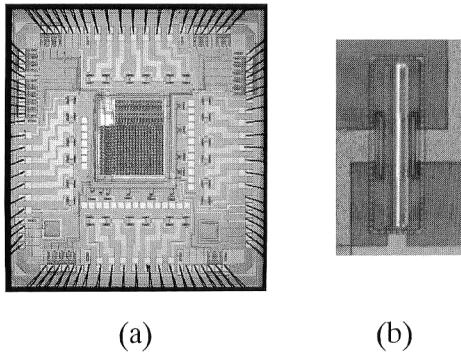


図12 SiGe BiCMOSプロセス利用照明光源集積化ビジョンチップ。(a)チップ写真, (b)発光パターン。

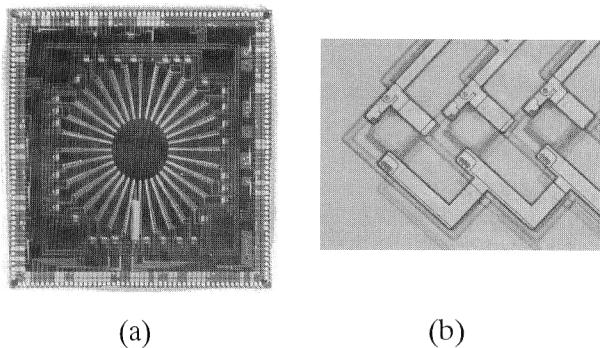


図13 全周囲カメラ用ビジョンチップ。(a)チップ全体写真, (b)画素部クローズアップ写真。

また、センサーだけでなく光学系も含めて新しい機能を実現しているビジョンチップがある。TOMBO (thin observation module by bound optics) とよばれるビジョンチップは、昆虫にみられる複眼機能を取り入れることで薄型イメージセンサー実現を目指している²¹⁾。また双曲面鏡と組み合わせて全周囲画像をリアルタイムで撮像できるCMOSビジョンチップの検討も行われている²²⁾。図13は32×32画素全周囲カメラ用センサーのチップ写真である。双曲面鏡からの投影画像を正方格子上に出力するため、動径方向に32画素と円周方向に32画素が並んでいる。これらのセンサー部と光学系を合わせたシステムとしての高機能化は、今後のVLSIフォトニクスの方向のひとつといえる。

5. 結 論

情報フォトニクスにおけるビジョンチップについて、その現状と将来展開について概説した。実用的な視点をもったデバイス研究・開発の道は開かれたといえる。光学系との集積化や実装技術を取り入れた今後の発展が期待される。

文 献

- 1) C. Mead: *Analog VLSI and Neural Systems* (Addison-Wesley, Reading, MA, 1989).
- 2) C. Koch and H. Li, eds.: *Vision Chips: Implementing Vision Algorithms with Analog VLSI Circuits* (IEEE Computer Society Press, Los Alamos, CA, 1995).
- 3) A. Moini: *Vision Chips* (Kluwer Academic, MA, 2000).
- 4) 亀田成司, 八木哲也：“生体網膜の時空間フィルタリング機能を有するシリコン網膜の開発”, 映像情報メディア学会技術報告, **26**, No. 42 (2002) 27-30.
- 5) E. Fossum: “CMOS image sensors: Electronic camera-on-a-chip,” IEEE Trans. Electron Devices, **44** (1997) 1689-1698.
- 6) 井上恵介, 下ノ村和弘, 亀田成司, 八木哲也：“シリコン網膜のターゲットトラッキングへの応用”, 電子情報通信学会技術研究報告, ICD2002-97 (2002) 19-22.
- 7) 石川正俊, 小室 孝：“ディジタルビジョンチップとその応用”, 電子情報通信学会論文誌(C), **J84-C** (2001) 451-461.
- 8) 小室 孝, 鏡 慎吾, 石川正俊：“超高速ビジョンチップの試作と感度評価”, 映像情報メディア学会技術報告, **26**, No. 41 (2002) 25-28.
- 9) 鏡 慎吾, 小室 孝, 石川正俊：“ビジョンチップのためのソフトウェアA-D変換とその動的制御”, 映像情報メディア学会技術報告, **26**, No. 42 (2002) 51-54.
- 10) K. Kagawa, T. Nishimura, T. Hirai, Y. Yamasaki, H. Asazu, T. Kawakami, J. Ohta, M. Nunoshita and K. Watanabe: “Proposal and preliminary experiments of indoor optical wireless LAN based on a CMOS image sensor with a high-speed readout function enabling a low-power compact module with large downlink capacity,” IEICE Trans. **E86-B** (2003) 1498-1507.
- 11) J. Ohta, K. Yamamoto, T. Hirai, K. Kagawa, M. Nunoshita, M. Yamada, Y. Yamasaki, S. Sugishita and K. Watanabe: “An image sensor with an in-pixel demodulation function for detecting the intensity of a modulated light signal,” IEEE Trans. Electron Devices, **50** (2003) 166-172.
- 12) A. Kimachi, T. Imaizumi, A. Kato and S. Ando: “Spectral matching imager using correlation image sensor and variable wavelength illumination,” Proc. SPIE, **4669** (2003) 72-81.
- 13) D. Stoppa, A. Simoni, L. Gozno, M. Gottardi and G.-F. D. Bettar: “A 138 dB dynamic range CMOS image sensor with new pixel architecture,” Dig. Tech. Papers, Int. Solid-State Conf. (2002) p. 40.
- 14) 今村俊文, 山本美子, 岩田 穆, 石津任章, 森江 隆：“適応型CMOSイメージセンサー”, 電子情報通信学会技術研究報告, **102** (2002) 49-54.
- 15) 高橋直樹, 相澤清晴：“閾値時間処理に基づくワイドダイナミックレンジイメージセンサー”, 映像情報メディア学会技術報告, **26**, No. 41 (2002) 9-12.
- 16) 後藤正英, 渡部俊久, 大竹 浩, 丸山裕孝, 江上典文, 阿部正英, 谷岡健吉：“パルス出力型広ダイナミックレンジCMOSイメージセンサーの検討”, 映像情報メディア学会技術報告, **26**, No. 41 (2002) 1-4.
- 17) J. Ohta, N. Yoshida, K. Kagawa and M. Nunoshita: “Proposal of application of pulsed vision chip for retinal prosthesis,” Jpn. J. Appl. Phys., **41** (2002) 2322-2325.
- 18) T. Furumiya, A. Uehara, K. Isakari, N. Yoshida, K. Kagawa, J. Ohta and M. Nunoshita: “Pulse-frequency-

- modulation vision chip with frequency range control as a retinal prosthesis device," Proc. SPIE, **4829** (2002) 969-970.
- 19) 上原昭宏, 古宮哲夫, 飯盛慶一, David C. Ng, 香川景一郎, 徳田 崇, 太田 淳, 布下正宏: "サファイア基板上に形成した網膜上埋込方式人工視覚デバイス", 2002 年映像情報メディア学会年次大会講演予稿集 (2001) 15-10.
- 20) 太田 淳, 飯盛慶一, 中山裕勝, 香川景一郎, 徳田 崇, 布下正宏: "BiCMOS プロセスを用いた発光素子集積型イメージセンサーの基礎検討", 映像情報メディア学会誌, **57** (2003) 378-383.
- 21) J. Tanida, T. Kumagai, K. Yamada, S. Miyatake, K. Ishida, T. Morimoto, N. Kondou, D. Miyazaki and Y. Ichioka: "Thin observation module by bound optics (TOMBO): Concept and experimental verification," Appl. Opt., **40** (2001) 1806-1813.
- 22) H. Wakasa, K. Kagawa, J. Ohta, M. Nunoshita, M. Suga, M. Doi, O. Oshiro, K. Minato and K. Chihara: "A CMOS image sensor for hyper omni vision," Proc. 19th Sensor and MEMS Symp. (2002) p. 67.

(2003 年 2 月 25 日受理)