

シリコンフォトニクスの基礎と応用

和田 一 実

Silicon Photonics: Fundamentals and Applications

Kazumi WADA

The present paper describes the fundamentals and applications of Silicon Photonics in terms of system-requirements and materials & process-requirements. The system-requirements are explained by defining figure-of-merit (FOM) for on-chip optical interconnection and for off-chip optical interconnection. Materials & process-requirements are depicted by its CMOS-compatibility of photonic devices on Si.

Key words: Silicon Photonics, optical interconnection, transceiver, figure-of-merit, light source, wavelength

シリコンフォトニクスは次世代の情報処理および通信技術の基盤技術としての大きな期待を集めている¹⁾。情報処理の分野では、シリコン集積回路（以下チップと略記）内およびチップ間でのインターコネクションボトルネックを解決する手段として注目を浴びている。また、通信分野では、データ通信のコスト削減の観点から、トランスミッターとレシーバーからなる光トランシーバーへの応用に大きな期待が寄せられている。この期待に応えるため、素子レベルでは電子・光の集積化、システムレベルでは計算と通信との融合が求められている。しかし、その実現を阻む材料系に端を発する大きな問題がある。つまり、光通信で用いられている光素子は一般に分散型の使用を前提とし、光素子特性を最も高く発現しうる材料系を選択し素子が発達することが許された。しかし、集積化を前提とするシリコンフォトニクスでは材料系はCMOSに準拠したもの（CMOS材料互換性）が求められ、しかも素子作製にあたってはCMOSプロセス互換性も同時に求められる。したがって、シリコンフォトニクスの研究は、CMOS互換性の課題を解決することと、素子性能に関するシステム側の要請を同時に満たすことが求められる、きわめて挑戦的な分野ということができよう。本稿では、シリコンフォトニ

クスの進展と普及のために、光素子の研究開発に対する材料およびシステムからみた要請および研究開発の現状について解説する。

1. システムからの要請—figure of merit (FOM)

通信の世界ではシステム間の優位性比較が、距離、価格、EMI (electromagnetic interference)、消費電力、サイズ、バンド幅など、さまざまな因子からなる性能比較 (FOM: figure of merit) により行われる。例えば、長距離通信では、FOMは距離×バンド幅で与えられ、現在は長距離通信では光通信と電気通信の分水嶺は25 MHz・kmあたりにあるといわれている。一方、チップサイズが10~20 mm角である電子・光チップでは、距離はFOMを左右する要素にはならず、代わりに発熱が最大の課題となっている。つまり、微細化・高密度化によりチップ性能は飛躍的に向上し、これまでにIntelとSONY・東芝・IBMから演算回路チップが独立に開発されているが、いずれも3 GHz付近のクロック速度の実現によりおおむね100 W/チップ程度の電力を消費している。したがって、この熱放散性能にチップ性能が支配される状況になっているため、チップのFOMは下式により表現することが妥当

東京大学大学院工学系研究科マテリアル工学専攻 (〒113-8656 東京都文京区本郷7-3-1) E-mail: kwada@material.t.u-tokyo.ac.jp

と考えられる²⁾。

$$FOM = \frac{\text{Bandwidth}}{\text{Power}} \quad (1)$$

チップ内光インターコネクションに関しては、光 H-tree アーキテクチャーによる高速クロッキングが有望視されており、すでに Intel・MIT グループによりプロトタイプが示されている³⁾。今後は、 $FOM = 3(\text{GHz})/100(\text{W}/\text{cm}^2) = 30 \text{ MHz}/\text{W cm}^2$ を大きく超えることが光クロッキングに要請される。幸いなことに、光にはジュール発熱がないため、主たる発熱源である光源をチップ外に配置することにより、FOM の分母に起因する発熱は飛躍的に抑制できる。

光 H-tree の課題は、導光路の分岐においてクロックパワーを正確に2分の1ずつに分岐することである。光子回路の分野ではしばしばこうした分岐は3 dB 分岐とよばれるが、光 H-tree ではクロックパワーを正確に二等分する必要がある。仮に、3 dB 分岐におけるパワー分配の不均在 $\pm 2\%$ (48% 対 52%) とすると、4 段の H-tree の終点に到達する光の強度は最大と最小との間で3 dB 以上の差をもつ²⁾。光クロックは光 H-tree の終点にある受光器において光電変換され、電気 H-tree にクロックを伝える。受光器特性が均一であれば、到着した光クロックのパワーに応じた強度の電気クロックが生成される。通常のクロックアルゴリズムでは、クロックの強度が特定の閾値を超えた時点をクリックの到達とみる。したがって、低い強度のクロックパルスは高いものに比べ、閾値に到達する時間が遅れるため、クロックに遅れ(スキュー)が生じる。例えば、このスキューの量を見積もるため、電気に変換されたクロック波形を正弦波で近似し、かつ平均強度をもつクロックが2分の1の強度に達する立ち上がりの時間をクロック検出の閾値としよう。4 段の H-tree では上記した $\pm 2\%$ の非対称分岐は、10 GHz のクロックの場合には $\pm 5 \text{ ps}$ のスキューとなり、これは10 GHz で許容できるスキューの上限に近い。したがって、正確な等分配、すなわち「3.01 dB」分岐の実現が、今後 FOM の分子にあるバンド幅(クロック速度)を増大するうえで、重要な課題のひとつである。

クロック配信の次段として期待されているチップ内光インターコネクションとしては、光を信号メッセンジャーとする双方向光インターコネクションがあげられる。10 億個を超えるトランジスターを搭載するチップでも、すべてのトランジスターは電気配線で接続されている。この高密度な配線を実現するためには多段の配線層が必要となり、現在ではシリコン基板上の配線層数は10層を超えている

といわれている。今後、さらなる高密度化は、電気配線製作にかかる費用がチップ製作費の大半となるといわれている。一方、光インターコネクションでは、1本の導光路に異なる波長をもつ多数の信号光を伝搬させる波長多重を用いることができる。これにより配線層を大幅に低減することが可能である。チップに何色の光を用いることが適切かなど、光インターコネクションに特有な新たなアーキテクチャーの出現が望まれる。

チップ間光インターコネクションの適用分野として期待されているメートル程度の短距離通信の世界においても、長距離通信の FOM は成立しない。ここでは、サーバーが用いられているが、その価格は年率70%の割で低価格化している。したがって、長距離通信の FOM に代わる、新しい FOM が必要である。最近は下式で表現される FOM がしばしば用いられる²⁾。

$$FOM = \frac{\text{Bandwidth}}{\text{Cost}} \quad (2)$$

具体的には現在では1 Gbps/\$ が求められ、それに向けた研究が盛んである。従来の長距離通信で育まれた技術資産のさらなる改善はいうまでもないが、大量生産による価格低減に実績をもつシリコンフォトニクスに大きな期待がある。以上を図1にまとめて示す。

以上述べたように、シリコンフォトニクスに使われる光素子に関する研究では、上記 FOM を満たすことがシステムから期待されている。

2. 材料・プロセスからの要請

シリコンフォトニクスには、上記システムからの要請をクリアする電子・光素子をシリコン基板上に集積化することが求められている。しかし、このためには光素子と光材料の多様性に基づく挑戦的な課題が存在する。以下に、このうち特に重要なプロセス互換性と使用する光の波長について解説する。

2.1 プロセス互換性

チップは一般にトランジスターと金属配線からなるのに対し、光通信は光源、受光器、光導波路(導光路と略記)に加え、変調器、フィルターなど、多様な素子を必要とする。これらの素子は分散使用を前提として開発されたため、チップの製造技術として開発された CMOS 技術に材料互換性をもたないものが多い。このため、光素子や回路をチップに集積化するためには、光素子を CMOS 技術で製作する、いわゆる CMOS 材料互換化がひとつの方向である。これまでに、受光器、導光路、変調器、フィルター等が CMOS 互換材料により製作されてきている。これに

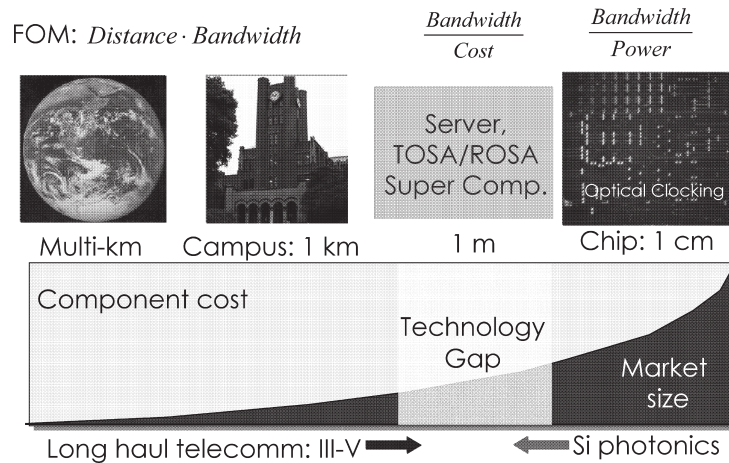


図1 長距離通信と計算における figure-of-merit (FOM). 電気通信と光通信の分水嶺となる FOM として長距離通信では距離・帯域積が使われているが、距離の短縮とともに FOM は帯域/コストへと変わりつつある。一方、計算チップでは FOM は帯域/電力と表すのが適切である。

表1 光源の CMOS 互換性.

互換性	研究例	材料互換性	プロセス互換性
完全互換 (チップ内配置)	ナノ Si ⁴⁾	あり	あり
	Si 薄膜発光 ⁵⁾	あり	あり
	Er 添加 Si ⁶⁾	あり	あり
	Er ₂ SiO ₅ 超格子 ⁷⁾	あり	生成温度
半互換 (バックエンド (400°C 以下))	共振器 ^{8,9)}	あり	あり
	III-V 族半導体 (ボンディング) ¹⁰⁾	不要	あり
	III-V 族半導体 あるいは Ge ¹¹⁾	あり	生成温度, 汚染?
非互換性 (チップ外配置)	β 鉄シリサイド ¹²⁾	あり	生成温度, 汚染?
	III-V 族半導体	不要	不要

については、3章においてその開発状況を紹介する。

III-V 族半導体技術を基盤として開発されてきた光素子は、シリコンチップへのその集積化に多くの課題を残している。特に、光源は IV 族半導体が間接遷移型であることに起因する多くの課題を抱えている。表1に、これまでに報告されている光源の材料・プロセス技術をまとめる。CMOS 互換性に関していくつかの段階があることがわかる⁴⁻¹²⁾。

2.1.1 CMOS 非互換

現在、シリコンフォトニクスにおいて主として採用されているアーキテクチャーは、光源をチップ外に配置するものである。ここでは、光源をファイバーに結合しそのファイバーをチップに結合する、いわゆるファイバー結合素子が別途必要になる^{13,14)}。以前はその結合損失が大きな問題であったが、研究レベルでは約 1 dB/端面にまで低減され

ている。実用化には実装技術の貢献が期待される。この結合素子はレーザーを選ばない。1.5 μm 帯のエッジ発光型レーザーおよび VCSEL (vertical cavity surface emitting laser) のいずれに対しても適用できる。特に、800 nm 帯の VCSEL は超 10 GHz で直接変調できしかも低価格であり、式 (2) に示す FOM を達成できる可能性がある。さらに、1.2 μm 帯の歪み系 VCSEL の開発にも期待がある。

2.1.2 半互換

CMOS プロセスにおいてアルミニウムや銅などの配線はバックエンドプロセスとよばれる低温で製作され、高い温度で熱処理されることがない。このため、チップ特性に大いに影響を与え、かつ室温でも拡散する銅も今では配線材料として使用されるように、材料選択に大きな自由度がある。非 CMOS 互換な材料である InP 系の 1.5 μm 帯のレーザーをボンディングにより張り付けたチップ内光源が報告されている¹⁰⁾。波長多重方式を実現するうえで重要なステップである。

β 鉄シリサイドについても、1.5 μm 帯の発光が得られることから大きな期待がある¹²⁾。

2.1.3 完全互換

チップ内光源としては、Ge の格子定数が GaAs のそれとほぼ一致することから、GaAs on Ge on Si に関する研究が報告されている¹¹⁾。これは Si 上に選択的にエピ成長することにより、無転位の Ge が成長可能なことがトリガーになっている¹⁵⁾。これまでに、発光ダイオード (LED: light emitting diode) の製作が報告されている。寿命はホモ成長のものに比してまだ短く、劣化機構に関する研究により長寿命化が必要である。この系は III-V 族と Si との

モノリシック集積を可能とするが、CMOS プロセスに対する互換性は今後の課題である。

SOI (Si on insulator) の表面の Si 層を酸化することにより、Si の量子井戸構造を製作することにより製作された LED が報告されている⁵⁾。シリコンのボーア半径が数 nm と小さいため、それ以下に薄層化する必要があるが、CMOS 技術により実現されている。800 nm 帯の発光が得られ、今後に期待がある。

Er は 1.5 μm 帯に発光があるため、多くの研究がある⁶⁾。Er 添加 Si 発光ダイオード (LED) には、室温に近づくにつれ発光強度が減少する、いわゆる「温度消光」の問題がある。最近、Er₂SiO₅ 酸化物が室温で強い 1.5 μm 帯の発光を示すことが見いだされた⁷⁾。自発的な超格子構造を形成することが報告された。

2.2 波 長

シリコンフォトニクスで使用される光の波長帯は、2.1 節に述べたように 3 つに大別される。光通信で実績のある 1.3~1.6 μm 帯 (通信波長帯と略記)、シリコンが透明な 1.2~1.3 μm (1.2 μm 帯)、および市販の VCSEL が使用できる 800 nm 付近 (800 nm 帯) である。前者を光源とした場合には受光器には Ge を使い、後者では Si の受光器も使用できる。導光路としては、前者は Si が、後者には窒化シリコンが用いられる。以下にその特徴を比較する。

800 nm 帯には、市販されている VCSEL が使用できるメリットがある。さらに、窒化シリコンの屈折率が 2 程度と Si のそれ (3.5) に比して小さく、かつ酸窒化シリコン合金によりさらに低い屈折率を実現できる。このため、導光路側壁の凹凸散乱による伝搬損失を低く制御できる点も 800 nm 帯のすぐれた特徴である。また、低屈折率であることは 800 nm の単一モードサイズが大きく、導光路の製作余裕も大きい。これに対し、Si 導光路では導光路とシリカ下層クラッドとの屈折率差が高いため下層クラッドの層厚を薄くでき、また下層に製作された電気回路への影響を減らすことができ、1.2 μm 帯および通信波長帯にすぐれた特徴がある。さらに、現状の Si 導光路は結晶 Si を使っているが、チップ上、つまり絶縁体膜上に導光路を形成しチップ内光インターコネクションを実現する場合には、アモルファス Si が導光路として使用されている。現状で 4 dB/cm 程度の損失が実現されている。

以上述べたように、1.2 μm 帯、通信波長帯および 800 nm 帯にそれぞれ特徴があり、システムやデバイスの要求に応じて使い分けられることになるだろう。

3. 素子の研究開発状況

光源については 2 章にて紹介したので、この章では受光器と変調器に関する研究開発の現状について紹介したい。受光器についてはマサチューセッツ工科大学において開発された、低温・高温二段階成長+熱処理法により、シリコン上でも転位のない Ge が得られること^{15,16)} から、研究が活発化し 30 GHz を超えるような性能が実現されている。Intel からは ROSA (Receiver Optical Sub Assembly) が発売されるに至った¹⁷⁾。このほか、多くの研究機関が高い性能をもつ受光器の製作を報告している。課題はシリコン上の Ge pin ダイオードの逆方向電流の低減にある。現状では、数 mA/cm² 程度の値をもち、感度の観点からは問題を残している。特に、光 H-tree などの応用では、その分岐により原理的に 50% の光パワーの低下があるため、低い感度は段数増加に限界を与える。逆方向電流の低減には、転位のほかに Ge 中の深い準位など欠陥の評価と低減が不可欠であり、シリコンの材料研究をフォトニクスの観点から深めることが求められる。

変調器では、2004 年に Intel により報告された MOS 型の導光路を有するマッハ・ツェンダー干渉計 (MZI) が GHz の壁を破ったことで研究が活発化した¹⁸⁾。これに対して、リング共振器を用いた変調器が報告された¹⁹⁾。前者は後者に対し、動作波長域が広い特徴を有するが、1 cm とサイズが大きい。したがって、MZI には小型化が求められる。リングに対しては多段構成として角形の透過特性を実現する方向が示されている。

最近、SiGe の量子閉じ込めシュタルク効果²⁰⁾ やフランチ・ケルディッシュ効果²¹⁾ を用いる提案がなされた。今後、プロトタイプ化による性能実証が待たれる。

シリコンフォトニクスは、情報処理の速度限界打破と通信コストの低価格化に対する 2 つのニーズから研究が進められている。これらのニーズは異なる FOM を要求している。当面は、それぞれのプロトタイプ化が先行し、通信と計算の融合の段階には新たな FOM が模索されるだろう。

欧米ではプロトタイプ化が大きく進展し²²⁾、わが国でも MIRAI プロジェクトにおいて光 H-tree のプロトタイプ化をゴールに研究が開始された。今後、大きな流れとなる可能性がある。最近のシリコンプロセスでは、現在の CMOS の壁を破る研究 (More-Moore あるいは More-than-Moore) が広く議論されるようになった。この流れは材料にまつわる壁を低くし、シリコンフォトニクスにも有利に働こう。

情報処理や通信における革新は電子・光集積回路として

われわれの生活に浸透し、デジタル家電としてより高い「快適・便利」をもたらすであろう。さらに、その先には医療家電のコアとして、「安心・安全」に対するわれわれのニーズに応えることが期待される。医療家電ではデジタル家電に必要な素子に加え、より広いスペクトル幅を有する光源や中赤外受光器など、シリコンフォトニクスにはシステムと材料・デバイスが従来とはまったく異なるFOMが要求される。本稿で取り上げた近赤外だけでなく、GaNやSb系など光源およびその材料に関する研究はこの中でも最も挑戦的なものであり、今後CMOS技術の枠を広げるような大きな進展を期待したい。

チップ間光インターコネクションは、サーバーを例に紹介した光トランシーバーがスーパーコンピュータの筐体間を接続するニーズが高まっている。理由のひとつには、筐体間の配線数が1000本を超える状況をWDMによる大容量通信により大幅に改善できる可能性をあげることができよう。さらに、銅線に比して軽量なことも魅力のある要素といわれている。今後、シリコンフォトニクスが電子・光集積回路のキーテクノロジーとして情報処理と通信の融合を牽引し、新しい光学の一分野となることを期待する。

本研究の一部は、文部科学省学術創成研究費「シリコンCMOSフォトニクス」および総務省戦略的情報通信研究開発推進制度(SCOPE)「シリコン光電気融合プラットフォームによる光集積回路の研究」による助成を受けて進められた。

文 献

- 1) 和田一実, ライオネル C. キマリング: “高度情報社会に向けた Si Photonics の将来展望”, 応用物理, **76** (2007) 141-147.
- 2) 和田一実: “シリコンフォトニクスの光インターコネクションへの応用”, レーザー研究, **35** (2007) 586-589.
- 3) J.-F. Zheng, F. Robertson, E. Mohammed, I. Young, D. H. Ahn, K. Wada, J. Michel and L. C. Kimerling: “On-chip optical signal distribution,” *Optics in Computing*, Optical Society of America, Washington (2003) pp. 20-23.
- 4) L. Pavesi, R. Chierchia, P. Bellutti, A. Lui, F. Fuso, M. Labardi, L. Pardi, F. Sbrana, M. Allegrini, S. Trusso, C. Vasi, P. J. Ventura, L. C. Costa, M. C. Carmo and O. Bisi: “Light emitting porous silicon diode based on a silicon/porous silicon heterojunction,” *J. Appl. Phys.*, **86** (1999) 6474-6482.
- 5) S. Saito, D. Hisamoto, H. Shimizu, H. Hamamura, R. Tsuchiya, Y. Matsui, T. Mine, T. Arai, N. Sugii, K. Torii, S. Kimura and T. Onai: “Electro-luminescence from ultrathin silicon,” *Jpn. J. Appl. Phys.*, **45** (2006) L679-682.
- 6) B. Zheng, J. Michel, F. Y. Ren, L. C. Kimerling, D. C. Jacobson and J. M. Poate: “Room-temperature sharp line electroluminescence at $\lambda = 1.54 \mu\text{m}$ from an erbium-doped, silicon light-emitting diode,” *Appl. Phys. Lett.*, **64** (1994) 2842-2844.
- 7) M. Masaki, H. Isshiki and T. Kimura: *2004 1st IEEE*

International Conference on Group IV Photonics, Hong Kong, ThP14 (2004).

- 8) M. Zelsmann, E. Picard, T. Charbolin, E. Hadji, M. Heizmann, B. Dal'sotto, M. E. Nier, G. Seassal, P. Rojo-Romeo and C. Leartre: “Seventy-fold enhancement of light extraction from a defectless photonic crystal made on silicon-on-insulator,” *Appl. Phys. Lett.*, **83** (2003) 2542-2544.
- 9) J. S. Xia, Y. Ikegami, K. Nemoto and Y. Shiraki: “Observation of whispering-gallery modes in Si microdisks at room temperature,” *Appl. Phys. Lett.*, **90** (2007) 141102-141104.
- 10) A. W. Fang, H. Park, O. Cohen, R. Jones, M. J. Paniccia and J. E. Bowers: “Electrically pumped hybrid AlGaInAs-silicon evanescent laser,” *Opt. Express*, **14** (2006) 9203-9210.
- 11) M. E. Groenert, C. W. Leitz, A. J. Pitera, C. Yang, H. Lee, R. Ram and E. Fitzgerald: “Monolithic integration of room-temperature cw GaAs/AlGaAs lasers on Si substrates via relaxed graded GeSi buffer layers,” *J. Appl. Phys.*, **93** (2003) 362-367.
- 12) T. Suemasu, Y. Negishi, K. Takakura and F. Hasegawa: “Room temperature $1.6 \mu\text{m}$ electroluminescence from a Si-based light emitting diode with $\beta\text{-FeSi}_2$ active region,” *Jpn. J. Appl. Phys.*, **39** (2000) L1013-1015.
- 13) T. Shoji, T. Tsuchizawa, T. Watanabe, K. Yamada and H. Morita: “Low loss mode size converter from $0.3 \mu\text{m}$ square Si wire waveguides to singlemode fibres,” *Electron. Lett.*, **38** (2002) 1669-1670.
- 14) K. K. Lee, D. R. Lim, D. Pang, C. Hoepfner, W.-Y. Oh, K. Wada, L. C. Kimerling, K. P. Yap and M. T. Doan: “Mode transformer for miniaturized optical circuits,” *Opt. Lett.*, **30** (2005) 498-500.
- 15) H.-C. Luan, D. R. Lim, K. K. Lee, M. Chen, J. G. Sandland, K. Wada and L. C. Kimerling: “High quality Ge epilayer on Si with low threading dislocation density,” *Appl. Phys. Lett.*, **75** (1999) 2909-2911.
- 16) G. Masini, L. Colace, G. Assanto, H.-C. Luan, K. Wada and L. C. Kimerling: “High responsivity near infrared Ge photodetectors integrated on Si,” *Electron. Lett.*, **35** (1999) 1467-1468.
- 17) T. Yin, R. Cohen, M. M. Morse, G. Sarid, Y. Chetrit, D. Rubin and M. J. Paniccia: “31 GHz Ge n-i-p waveguide photo-detectors on silicon-on-insulator substrate,” *IEEE/LEOS International Conference on Group IV Photonics* (2007) PD1, p. 1.
- 18) A. Liu, R. Jones, L. Liao, D. S. Rubio, D. Rubin, O. Cohen, R. Nicolaescu and M. Panichia: “A high-speed silicon optical modulator based on a metal-oxide-semiconductor capacitor,” *Nature*, **427** (2004) 615-618.
- 19) V. R. Almeida, Q. Xu and M. Lipson: “Ultrafast integrated semiconductor optical modulator based on the plasma-dispersion effect,” *Opt. Lett.*, **38** (2005) 2403-2405.
- 20) Y.-H. Kuo, Y. Lee, Y. Ge, S. Ren, J. E. Roth, T. I. Kamins, D. A. B. Miller and J. S. Harris: “Strong quantum-confined Stark effect in germanium quantum-well structures on silicon,” *Nature*, **437** (2005) 1334-1336.
- 21) S. Jongthammanurak, J. Liu, D. Cannon, D. Danielson, C. Y. Hong, D. Pan, K. Wada, J. Michel and L. C. Kimerling: “Large electro-optic effect in tensile strained Ge-on-Si films,” *Appl. Phys. Lett.*, **89** (2006) 161115-161117.
- 22) J. Shah: “DARPA'S EPIC Program: Electronic and photonic integrated circuits on Si,” *2nd International Conference on Group IV Photonics Antwerp*, Belgium (2005) WA1.

(2007年9月16日受理)