

InP 光集積回路による高速光スイッチ技術

種村 拓夫・中野 義昭

InP Photonic Integrated Circuits for High-Speed Optical Switching

Takuo TANEMURA and Yoshiaki NAKANO

The energy consumption at the electric packet switches and routers is becoming the bottleneck in scaling up the data capacity in telecommunication networks, datacenters, and high-performance computing systems. Optical switching has been considered as the key technology to achieve drastic energy saving by bypassing the power-consuming electric packet forwarding. In this article, we review our recent work on InP integrated photonic switches based on optical phased array. We successfully develop 1×16 , 1×100 , and 8×8 integrated switches, and demonstrate their high-speed, broadband, low-noise, and low-power switching characteristics. Potential application to 160-Gbps packet switching and large-capacity variable optical buffering are also demonstrated. Finally, we discuss the opportunities as well as challenges of the present technology.

Key words: optical switches, photonic integrated circuits, InP devices, photonic networks, optical interconnects

インターネットを流れるトラフィックは年率 29% で増加を続けており¹⁾、この情報を処理するネットワーク機器の消費電力がグローバルな環境問題に発展している²⁻⁶⁾。現状では、電力の大半はアクセス系（加入者系）において消費されているものの、今後、FTTx（fiber to the home, curb など）への移行によって省電力化が進められるのに伴い、アクセス系全体の消費電力はほぼ一定のまま推移すると見積もられている。その一方で、これをはるかに上回る比率で上昇しているのがコア/メトロネットワークにおけるルーターの消費電力であり、近い将来、ルーターでの消費電力が支配的になると予測されている²⁻⁵⁾。日本国内の試算によると、このままトラフィックが増大し続けた場合、2035 年にはルーターにおける総消費電力が 2005 年の日本の総発電量に匹敵するという見積もりが報告されている⁶⁾。同様の試算は国外でも得られており⁴⁾、現在のインターネットの規模拡大、さらには、次世代 IP（internet protocol）テレビなどの新規サービスの開始に向けて、抜本的な省電力技術の導入が不可欠な状況にある。

現在のルーターの消費電力のうち大部分を占めるのが、

IP パケットのルーティング処理とそれに伴う信号の O/E/O（光-電気-光）変換である。ここで消費される電力を抜本的に削減する方法として、ルーターを低位レイヤーの転送によりカットスルー（通過）する光回線交換（OCS: optical circuit switching）技術が有効である。すでに、ROADM（reconfigurable optical add/drop multiplexer）を用いたリングネットワークがコア/メトロネットワークに導入され始めているが、帯域利用効率の観点から、将来的には、よりダイナミックにパス設定を行う高速 OCS や、細かい粒度で交換を行う光バーストスイッチング（OBS: optical burst switching）、および、光パケットスイッチング（OPS: optical packet switching）の実現が期待されている⁷⁾。

一方、データセンターや高性能計算（HPC: high performance computing）システム内部のネットワークにおいても、消費電力の増大が深刻化している。ある試算によると、インターネット上を 1 バイトのデータが流れるごとに、データセンター内部では、その 10^6 倍に当たる 1 MB ものデータが行き来している⁸⁾。この膨大な情報を処理す

るために、大規模なデータセンターでは数千台以上の大量のサーバーが稼働しており、サーバー間の通信には高速な光配線が用いられている。光送受信器と電氣的なパケットスイッチ（EPS: electrical packet switch）にかかる消費電力が運用コストの大きな割合を占めており、今後、クラウドコンピューティングなどの普及に伴い、その比率はさらに増加すると予想されている^{9,10}。通信ネットワークと同様に、これらのコンピューティングネットワークにおいても、EPSを一部カットスルーするOCSの実装は魅力的であり、Google社やIBM社によって検討が進められている¹¹⁻¹⁴。現在は、MEMS（micro electro mechanical systems）光スイッチを用いた検証が行われているが、実用上十分なスループットを得るために、切り替え速度が $100\ \mu\text{s}$ 以下の高速光スイッチの必要性が指摘されている¹³⁻¹⁶。

以上の通り、光通信ネットワーク、ならびに、コンピューティングシステムの省電力化をデバイスレベルで実現する上で、低消費電力かつ高速な光スイッチの実現が鍵であり、近年、活発に研究開発が進められている。特に、近年のInP系化合物半導体を用いた光集積回路（PIC: photonic integrated circuit）技術の発展に伴い、多数のアクティブ素子をモノリシックに集積した光スイッチ回路が報告されている。米国カリフォルニア大学サンタバーバラ校では、可変波長レーザーとアレイ導波路回折格子（AWG: arrayed waveguide grating）をInP基板上にモノリシックに集積した 8×8 光スイッチを実証している¹⁷。また、英国ケンブリッジ大学からは、半導体光増幅器（SOA: semiconductor optical amplifier）によるブロードキャスト&セレクト型光スイッチを多数集積し、クロス・ツリー構造に配置することで、再配列ノンブロッキング型¹¹（rear-rangeable non-blocking）ながら 16×16 集積光スイッチを実現した成果が報告されている¹⁸。しかし一方で、どちらの手法も無数の高利得SOAを用いるために、消費電力の増大と過剰雑音や非線形効果による信号劣化が避けられない。上述の光ルーターを実用化する上では、100ポート以上への拡張性が要求されるが、1チップ単位面積あたりに許容される放熱量は変わらないため、さらなる大規模化、広帯域化、および省電力化に向けて課題を抱える。

このような背景から、筆者らは、SOAやレーザーなどのアクティブ素子を極力排除したスケラブルな光スイッチ集積回路の実現を目指して、フェーズドアレイ方式を用

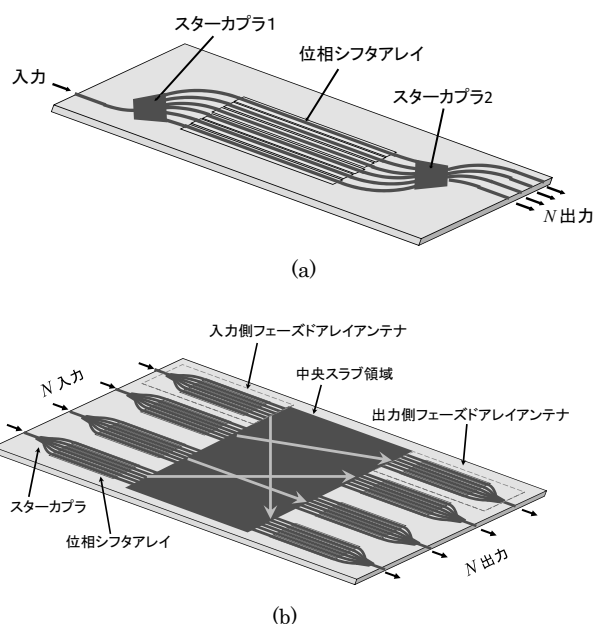


図1 フェーズドアレイ光集積スイッチの概念図。(a) $1\times N$ 光スイッチ、(b) $N\times N$ 光スイッチ。

いた光集積スイッチの研究を進めている¹⁹⁻²⁶。本稿では、その最新動向を紹介する。

1. フェーズドアレイ InP 集積光スイッチの原理

図1 (a)に、フェーズドアレイを用いた $1\times N$ 光スイッチの概念図を示す。入力光は、スターカップラー1において複数の位相シフターアレイに分岐されるが、各アレイにおいて電気光学効果やキャリアプラズマ効果を用いて個別に位相シフトを与えることで、スターカップラー2において所望の出力ポートに集光させることができる¹⁹。出力ポート数 N にかかわらず1段の位相シフターでスイッチングを行うため、 N の増加に対して光損失やデバイスサイズの増大が鈍いという特徴がある²⁰。また、アレイ形状を反転対称にして全アレイの光路長を等しくすることにより、Cバンド通信波長帯（ $1530\sim 1570\ \text{nm}$ ）全域にわたって波長無依存の動作が得られる^{21,22}。スイッチングの消光特性は、アレイの本数、すなわち、位相シフターの数によって決定される。アレイ数が多いほど、高い消光比が得られるが、その反面、素子全体のフットプリント、電極数、駆動電力が増大するため、アレイ数は最小限に抑えたいというトレードオフがある。フーリエ光学を用いた近似的な解析より、20 dB以上の消光比を得るためには、アレイ本数 M を少なくとも $1.5N$ 以上にする必要がある²⁰。

¹¹再配列ノンブロッキング型スイッチとは、あるポートの接続を切り替える際に、いったん、他のポートの接続も切断して、再設定する必要があるようなスイッチのことをいう。これに対して、既存の接続を妨害することなく、任意のポートへの接続切り替えができる構成のものを、完全ノンブロッキング型スイッチ、もしくは、厳密にノンブロッキング型スイッチとよぶ。

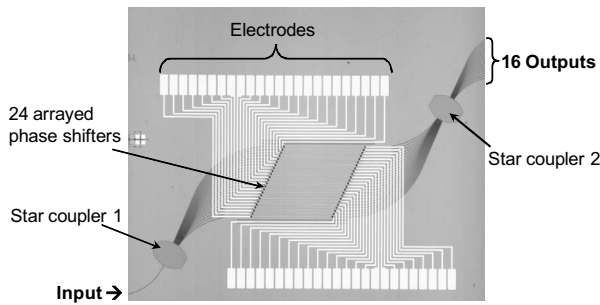


図2 フェーズドアレイ 1×16 光集積スイッチのチップ写真、チップサイズは 4.5 mm × 3.1 mm.

図 1 (a) の $1 \times N$ 光スイッチを入出力にそれぞれ N 個ずつ並べ、スターカップラー 2 を共有させることにより、 $N \times N$ 光スイッチマトリクスが構成される²³⁾。図 1 (b) に、その概念図を示す。中央の大きなスラブ領域の両側に、それぞれ N 本のフェーズドアレイアンテナ (PAA: phased-array antenna) が取り付けられている。各 PAA は、スターカップラー 1 個と数本の位相シフターからなる。位相シフターにおける位相変化量を適切に調整することにより、入力側 PAA のビーム出射角度、および、出力側 PAA のビーム受け入れ角度を制御することができる。各ポートの設定を他のポートとは独立に行うことができるため、完全ノンブロッキング (strictly non-blocking) 光スイッチが構成される。 $1 \times N$ 光スイッチと同様に、PAA における各アレイの光路長が等しくなるように設計することで、波長無依存スイッチングが可能になる。さらには、導波路の交差する点が素子全体で一つもないという特徴があり、ポート数の拡張に伴うスケラビリティの観点から、きわめて重要なメリットになると考えられる。

2. フェーズドアレイ InP 集積光スイッチの作製と評価

2.1 1×16 光スイッチの作製と評価

筆者らが InP 基板上に作製したフェーズドアレイ 1×16 光スイッチの写真を図 2 に示す²¹⁾。図 2 の素子では、十分な消光特性と光損失特性を実現するために、アレイ本数は 24 にした。バンドギャップが $1.3 \mu\text{m}$ のバルク InGaAsP をコア層とし、InP クラッド層で挟み込んだダブルヘテロ結合 p-i-n 構造を用いた。この構造に電流注入を行うことで、コア層におけるキャリアプラズマ効果を介して、高効率に位相変調効果を得ることができる。導波路にはシャロウリッジ構造を用い、導波路幅は、位相シフター部で $3.5 \mu\text{m}$ 、それ以外の部分で $2 \mu\text{m}$ とした。有機金属気相エピタキシー (MOVPE: metal-oxide vapor phase epitaxy) 結晶成長を用いて成膜を行い、反応性イオンエッチング (RIE: reactive ion etching) プロセスによってリッジ導波路構造

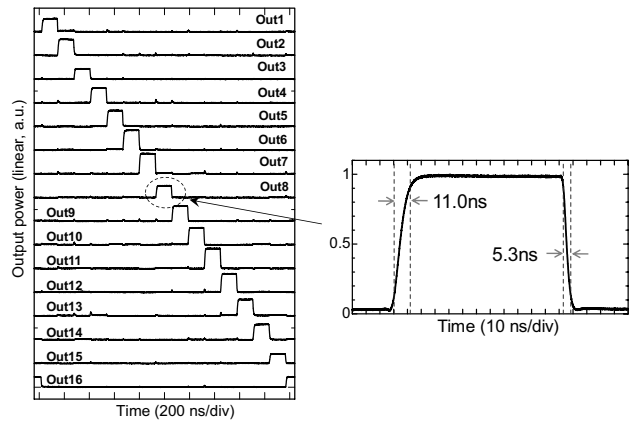


図 3 1×16 光スイッチの動的スイッチング特性。全出力光ポートに順番にスイッチングさせたときの出力光波形とその拡大図。

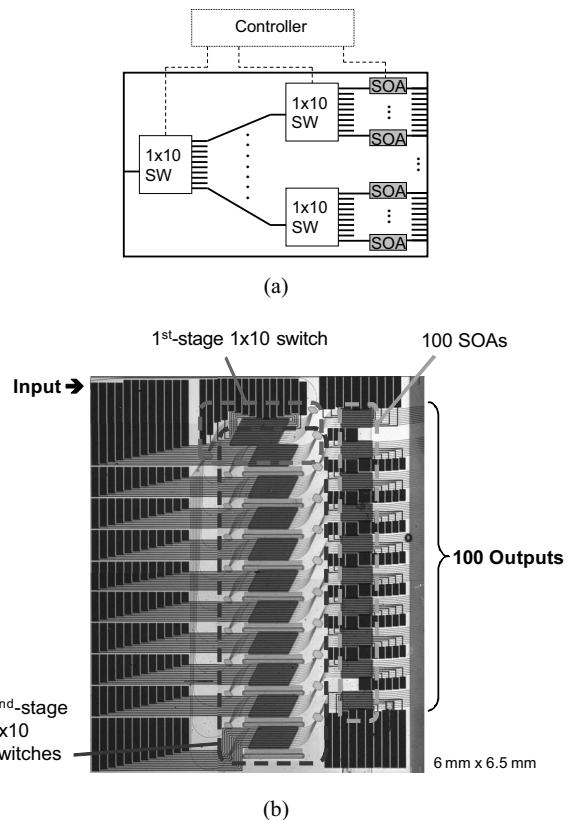


図 4 フェーズドアレイ 1×100 光集積スイッチの構成 (a) とチップ写真 (b)。チップサイズは 6.0 mm × 6.5 mm.

を作製した。チップサイズは $4.5 \text{ mm} \times 3.1 \text{ mm}$ である。図 3 に、全出力ポートに順番にスイッチングさせたときの各ポートからの光出力波形を示す。駆動回路の応答も含めて、立ち上がり・下がり時間 (10% ~ 90%) は 11 ns 以下であり、高速スイッチング動作が確認された。

2.2 1×100 光スイッチの作製と評価

前述したように、フェーズドアレイ光スイッチは 1 段の

位相シフターを用いて 10 以上の出力ポートへのスイッチングが可能のため、素子サイズや光損失の観点では、比較的優れたスケーラビリティをもつ。しかし一方で、ポート数に比例して位相シフターの個数が増大するため、電極数や駆動消費電力の観点から、ワンチップ上に実現できるスイッチ規模に限界が生じる。数十ポート以上の大規模光スイッチをモノリシックに実現するには、中規模な $1 \times N$ スwitchを多段に直列接続するアプローチが適切といえる。

図 4 (a) に、筆者らが作製した InP 集積 1×100 光スイッチの構成図を示す²²⁾。合計 11 個の 1×10 フェーズドアレイ光スイッチを 2 段構成に配置することで、 1×100 スwitchをワンチップ上に実現している。前段の 1×10 光スイッチでは 15 個の位相シフターを、後段の 1×10 光スイッチではそれぞれ 12 個の位相シフターを用いた。さらに、出力ポートに SOA を集積してゲートスイッチとして用いることで、オンチップ光損失を一部補償すると同時に、スイッチングによる残留クロストークを抑圧した。ブロードキャスト&セレクト型スイッチにおける SOA と異なり、ここで用いる SOA は高い利得を必要としないため、低消費電力かつ低雑音の SOA 構造を利用できるという利点がある。2 段構成にすることにより、動作時に同時に駆動するのは位相シフター 27 個と SOA 1 個のみとなり、1 段構成に比べて駆動電力を大幅に削減できる。さらには、SOA においてクロストークが抑圧されるため、各段の 1×10 光スイッチに要求される消光特性が緩和される。実際、後段の 1×10 光スイッチでは、位相シフターが 12 個であり、1 章で説明した $1.5N$ 個という基準を下回っているが、SOA によって消光比が補償されている。

本素子は、合計 135 個の位相シフターと 100 個の SOA、および、無数のパッシブ導波路を含んでおり、低損失なアクティブ・パッシブ一体集積技術が不可欠となる。ここでは、作製の容易さや結合損失を考慮して、オフセット量子井戸 (OQW: offset quantum-well) 手法を採用した²²⁾。電流注入による位相変調効率を高めるため、発光波長が $1.37 \mu\text{m}$ のバルク InGaAsP 膜をコア層として用い、アクティブ領域 (SOA 領域) には、 $1.55 \mu\text{m}$ に利得ピークをもつ MQW 層を挿入した。パッシブ領域の多重量子井戸 (MQW: multiple quantum well) 層を選択的に除去した後、上部 InP クラッド層と InGaAs コンタクト層を成長することにより、1 回の結晶再成長でアクティブ・パッシブ集積が完成する。一般にこのような OQW 構造は、MQW 利得領域への閉じ込め係数が小さく、レーザーや高利得 SOA を作製する場合に不利になるが、本素子で必要とす

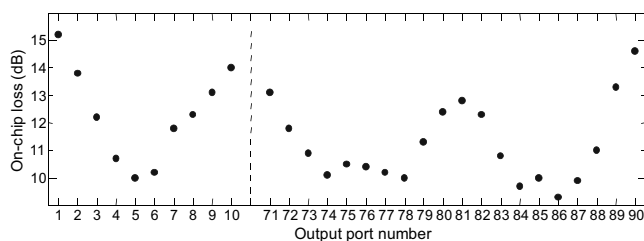


図 5 1×100 光スイッチのオンチップ光損失 (出力ポート 1-10, 71-90)。

る低利得・高飽和パワー SOA を作製する際にはむしろ低い閉じ込めが好まれるために、好都合である。導波路構造には、2 種類の設計を使い分け、電流注入を行う SOA と位相シフターにおいては光閉じ込めの弱いシャロウリッジ構造を、その他のパッシブ導波路部では、閉じ込めの強いディープリッジ構造を用いた。図 4 (b) に、作製した 1×100 光スイッチチップの写真を示す。チップサイズは、 $6.0 \text{ mm} \times 6.5 \text{ mm}$ である。

図 5 に、出力ポート 1~10, 70~90 にスイッチングした状態でのチップ内光損失を示す。光損失は 15.2 dB 以下に抑えられており、良好なスイッチングが得られた。各位相変調部への注入電流 (印加電圧) は 1.5 mA (0.9 V) 以下、SOA の駆動電流は 100 mA (2.2V) であり、静的スイッチ状態における総消費電力は、すべての状態において 250 mW 以下となった。SOA の機能により、消光比、および、他ポートへのクロストーク抑圧比は 50 dB 以上であった。また、10 Gb/s NRZ (non-return-to-zero) 信号を用いたビット誤り率 (BER: bit-error rate) 測定実験では、スイッチ後のパワーペナルティは 1 dB 以下に抑えられ、低雑音特性を実証した。

2.3 8×8 光スイッチの作製と評価

図 1 (b) に示したように、フェーズドアレイアンテナ (PAA: phased-array antenna) を N 個ずつ入出力に並べることで、 $N \times N$ 光スイッチマトリクスが実現できる。図 6 に、筆者らが作製した 8×8 光集積スイッチの写真を示す²³⁾。チップサイズは、 $14.3 \text{ mm} \times 7.2 \text{ mm}$ である。中央スラブ領域の両端に、それぞれ 8 個のフェーズドアレイアンテナが取り付けられており、各 PAA は、スターカップラー 1 つと 12 本の位相シフターから成る。素子全体で合計 192 本の位相シフター、16 個のスターカップラー、無数のパッシブ光導波路を含むが、SOA 等を含まないオールパッシブデバイスであるため、1 回の結晶成長による比較的簡単なプロセスで作製することができる。

図 7 に、いくつかのポート間について測定された静的スイッチング特性を示す。図において、例えば「I1 \leftrightarrow O4」

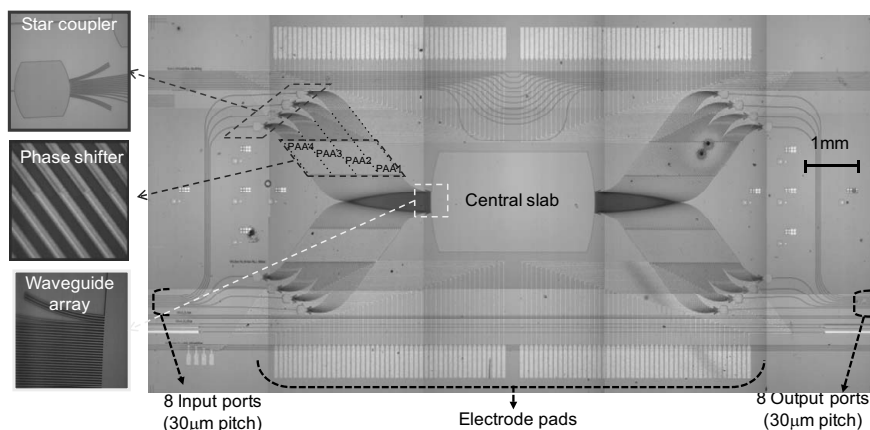


図6 フェーズドアレイ 8×8 光集積スイッチのチップ写真. チップサイズは 14.3 mm × 7.2 mm.

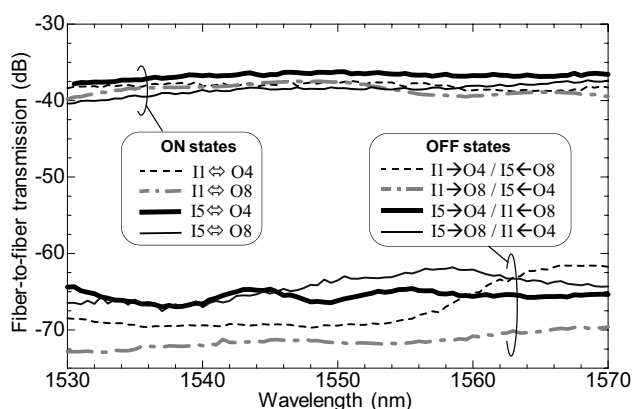


図7 8×8 光スイッチの静的スイッチング特性.

は、入力ポート 1 の PAA が出力ポート 4 を向き、出力ポート 4 の PAA が入力ポート 1 を向いている場合の入力ポート 1 から出力ポート 4 への透過率を表しており、いわゆる on 状態である。これに対して、「I1 → O4 / I5 ← O8」は、入力ポート 1 の PAA が出力ポート 4 を向き、出力ポート 8 の PAA が入力ポート 5 を向いている場合の入力ポート 1 から出力ポート 8 への透過率を表しており、いわゆる off 状態である。on 状態の場合、C バンド全域にわたって波長依存性が ±1.5 dB 以下に抑えられている。消光比は、波長 1550 nm において 25 dB 以上得られていることを確認した。一方、ファイバー・トゥ・ファイバー光損失は約 38 dB となり、かなり大きくなってしまった。全損失のうち、不完全なエッチングプロセスによる過剰な伝搬損失 (18 dB/cm) とファイバー・チップ間結合損失 (約 10 dB) が占める割合が大きく、これらを改善することにより、大幅な低損失化が可能だと考えている。図 8 に動的スイッチング特性を示す。off 状態 (入力 5 → 出力 8 / 入力 4 ← 出力 4) から on 状態 (入力 5 ↔ 出力 4) に切り替えたときの立ち上がり・立ち下がり時間は、駆動回路の応答時間も含め

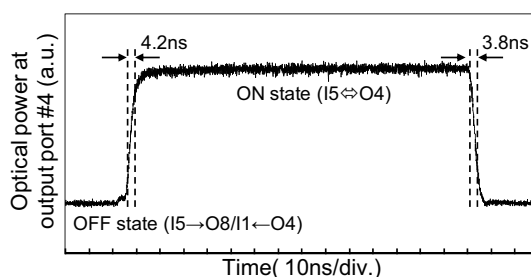


図8 8×8 光スイッチの動的スイッチング特性. off 状態 (入力 5 → 出力 8 / 入力 4 ← 出力 4) から on 状態 (入力 5 ↔ 出力 4) に切り替えたとき、出力ポート 4 において観測された光波形.

て、それぞれ 4.2 ns と 3.8 ns であった。

3. 光ルーターノードへの応用

フェーズドアレイ光スイッチは、高利得 SOA のようなアクティブ素子を極力排除した構成をもつため、非線形クロストークや信号対雑音比の劣化が少ないという利点がある。また、図 7 に示すテラヘルツ以上の広範な光帯域は、波長分割多重 (WDM: wavelength division multiplexing) 信号や光時分割多重 (OTDM: optical time division multiplexing) 信号の一括スイッチングを可能にし、トランスペアレントな光ノードを構築する上で大変魅力的である。このような応用可能性を検証するため、作製した光スイッチを用いて一連のサブシステム実験も行っている²⁴⁻²⁶⁾。

2.1 節で作製した 1×16 光スイッチを用いて、160 Gb/s OTDM 光パケットスイッチングノードを構築した実験を図 9 に示す²⁴⁾。図 9 (a) に示すように、160 Gb/s 大容量光パケット (ペイロード) と一緒に送られた光ラベル信号を識別することにより、光スイッチの経路を高速に切り替えている。図 9 (b) に実験結果の一例を示すが、L1 ~ L4 で示した光ラベルの情報に対応して、適切な出力ポート

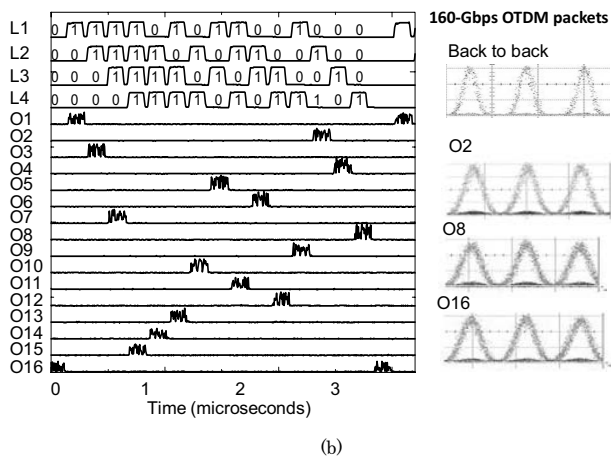
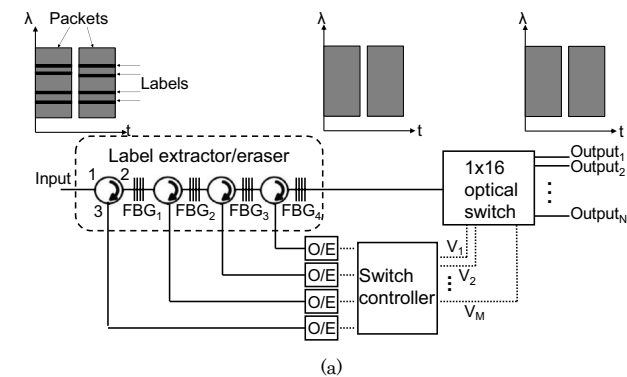


図9 1×16 光スイッチを用いた 160 Gb/s 光パケットルーティング実験. (a) 実験系, (b) 実験結果.

(O1～O16) にスイッチングされている様子がわかる. 光スイッチング後のアイパターンも良好であり, BER 測定の結果, パワーペナルティーは 0.7 dB 以下に抑えられた²⁴⁾.

1×N 光スイッチの出力に長さの異なる光遅延線を接続することにより, 光バッファーが実現できる. 光ファイバー型小型遅延線モジュールを 1×16 光スイッチと組み合わせることで, 大容量光バッファー機能を実証した実験を図 10 に示す²⁵⁾. 図 10 (a) 挿入図に示すように, 光閉じ込めの大きい高非線形光ファイバーを用いることで, 全長 1.2 km, 合計 15 本の光ファイバーを直径 40 mm のボビン内に収納した小型光遅延線モジュールを開発し, 実験に用いた. バッファー前後の光パケット波形を図 10 (b) に示すが, パケットごとの遅延量を高速に切り替え, 最大 750 ns の大きな遅延を与えることで, パケット間隔を調整する機能を実証している. さらに最近では, 石英プレーナー光回路 (PLC: planer lightwave circuit) 上に集積した光遅延回路を組み合わせた, コンパクトかつ高分解能光バッファー回路も実証している²⁶⁾.

光通信ネットワークおよびコンピューティングネット

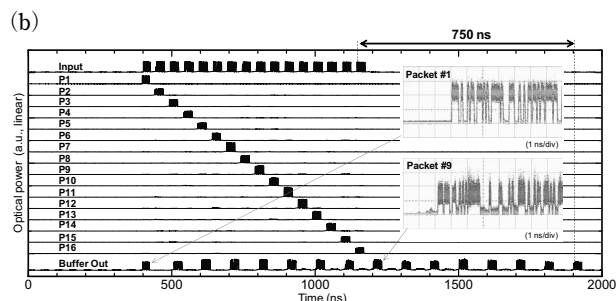
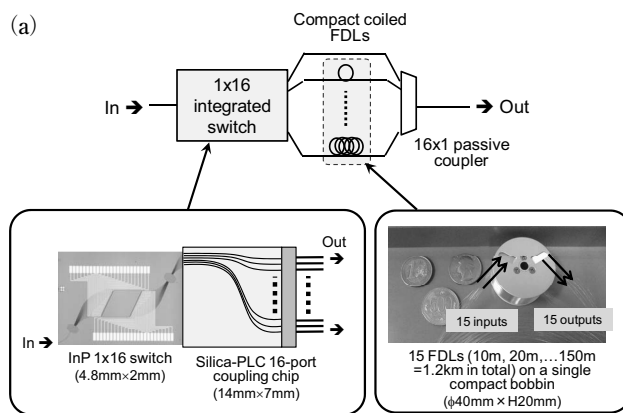


図 10 1×16 光スイッチと小型光ファイバー遅延モジュールを用いた光バッファー実験. (a) 実験系, (b) 実験結果.

ワークにおける消費電力を大幅に削減する高速光スイッチング技術として, フェーズドアレイ InP 集積光スイッチの研究開発状況を紹介した. スイッチの基本原理を概説した後, 1×16 光スイッチ, 1×100 光スイッチ, 8×8 光スイッチの結果を示した. すべてのスイッチにおいて, 30 nm 以上 (1530~1565 nm) にわたる広帯域波長無依存動作, 数ナノ秒の応答時間, ペナルティーフリースイッチング特性を実証した. さらに, 光パケットスイッチノードへの応用可能性を検証した 160 Gb/s 光パケットスイッチング実験, および大容量光バッファー実験の結果を紹介した.

これらのスイッチの実用化とさらなる大規模化を図る上で, 解決すべき課題は少なくない. 光伝搬損失の低減, 位相シフターの低消費電力化・偏波無依存化などの InP プロセス技術に加えて, 光電子実装技術が重要になる. 例えば, 本稿で紹介した実験の一部では, ワイヤーボンディングと駆動回路の制限から, 実証できる光スイッチ経路の組み合わせが限定されてしまったが^{22, 23)}, 今後さらなる大規模化を図る上でも, 数百以上の電極に効率よく配線する技術が不可欠となる. この点に関しては, フリップチップボンディング技術を用いて, 駆動回路上に光スイッチを直接実装することにより解決できると考えている²⁷⁾. また, 素子の小型化と CMOS 駆動回路を一体集積する観点から, シリコンフォトン技術を用いて光スイッチをシリコン

基板上に作製するアプローチも魅力的であり、研究を進めている²⁸⁾。以上に加えて、熱的 / 電氣的クロストークの抑圧、数十以上のマルチ光ポートとの低損失一括結合技術など、地道な実装技術が今後ますます重要になると思われる。

文 献

- 1) Cisco Systems: "The zettabyte era," white Paper (2012). <http://www.cisco.com/>
- 2) 佐藤健一: "持続的發展可能な情報通信ネットワークと光ネットワーク技術の役割", 電子情報通信学会誌, **93** (2010) 654-658.
- 3) K. Sato and H. Hasegawa: "Optical networking technologies that will create future bandwidth-abundant networks," J. Opt. Commun. Netw., **1** (2009) A81-A93.
- 4) J. Baliga, R. Ayre, K. Hinton, W. V. Sorin and R. S. Tucker: "Energy consumption in optical IP networks," J. Lightwave Technol., **27** (2009) 2391-2403.
- 5) R. S. Tucker, R. Parthiban, J. Baliga, K. Hinton, R. W. A. Ayre and W. V. Sorin: "Evolution of WDM optical IP networks: A cost and energy perspective," J. Lightwave Technol., **27** (2009) 243-252.
- 6) S. Namiki, T. Hasama and H. Ishikawa: "Optical signal processing for energy-efficient dynamic optical path networks," *Proceedings of the 36th European Conf. on Optical Communications (ECOC '10)*, Torino, Paper Mo.2. A.4 (2010).
- 7) D. J. Blumenthal, J. Barton, N. Beheshti, J. E. Bowers, E. Burmeister, L. A. Coldren, M. Dummer, G. Epps, A. Fang, Y. Ganjali, J. Garcia, B. Koch, V. Lal, E. Lively, J. Mack, M. Masanovic, N. McKeown, K. Nguyen, S. C. Nicholes, H. Park, B. Stamenic, A. Tauke-Pedretti, H. Poulsen and M. Sysak: "Integrated photonics for low-power packet networking," IEEE J. Sel. Top. Quantum Electron., **17** (2011) 458-471.
- 8) G. Astfalk: "Why optical data communications and why now?," Appl. Phys. A, **95** (2009) 933-940.
- 9) O. Liboiron-Ladouceur, P. G. Raponi, N. Andriolli, I. Cerutti, M. S. Hai and P. Castoldi: "A scalable space-time multi-plane optical interconnection network using energy-efficient enabling technologies," J. Opt. Commun. Netw., **3** (2011) A1-A11.
- 10) A. V. Krishnamoorthy, K. W. Goossen, W. Jan, X. Zheng, R. Ho, G. Li, R. Rozier, F. Liu, D. Patil, J. Lexau, H. Schwetman, D. Feng, M. Asghari, T. Pinguet and J. E. Cunningham: "Progress in low-power switched optical interconnects," IEEE J. Sel. Top. Quantum Electron., **17** (2011) 357-376.
- 11) N. Farrington, G. Porter, S. Radhakrishnan, H. H. Bazzaz, V. Subramanya, Y. Fainman, G. Papen and A. Vahdat: "Helios: A hybrid electrical/optical switch architecture for modular data centers," *Proceedings of Special Interest Group on Data Com. (SIGCOMM '10)*, New Delhi (2010) pp. 339-350.
- 12) L. Schares, X. J. Zhang, R. Wagle, D. Rajan, P. Selo, S. P. Chang, J. Giles, K. Hildrum, D. Kuchta, J. Wolf, E. Schenfeld: "A reconfigurable interconnect fabric with optical circuit switch and software optimizer for stream computing systems," *Proceedings of Optical Fiber Communications Conference (OFC '09)*, San Diego, Paper OTuA1 (2009).
- 13) A. Vahdat, H. Liu, X. Zhao and C. Johnson: "The emerging optical data center," *Proceedings of Optical Fiber Communications Conference (OFC '11)*, Los Angeles, Paper OTuH2 (2011).
- 14) N. Farrington, Y. Fainman, H. Liu, G. Papen and A. Vahdat: "Hardware requirements for optical circuit switched data center networks," *Proceedings of Optical Fiber Communications Conference (OFC '11)*, Los Angeles, Paper OTuH3 (2011).
- 15) H. Onaka, Y. Aoki, K. Sone, G. Nakagawa, Y. Kai, S. Yoshida, Y. Takita, K. Morito, S. Tanaka and S. Kinoshita: "WDM optical packet inter-connection using multi-gate SOA switch architecture for Peta-flops ultra-high-performance computing systems," *Proceedings of the 32nd European Conference on Optical Communication (ECOC '06)*, Tu4.6.6, Cannes (2006).
- 16) R. P. Luitjen and R. Grzybowski: "The OSMOSIS optical packet switch for supercomputers," *Proceedings of Optical Fiber Communications Conference (OFC '09)*, San Diego, Paper OTuF3 (2009).
- 17) S. C. Nicholes, M. L. Mašanović, B. Jevremović, E. Lively, L. A. Coldren and D. J. Blumenthal: "An 8×8 InP monolithic tunable optical router (MOTOR) packet forwarding chip," J. Lightwave Technol., **28** (2010) 641-650.
- 18) A. Wonfor, H. Wang, R. V. Penty and I. H. White: "Large port count high-speed optical switch fabric for use within data-centers," J. Opt. Commun. Netw., **3** (2011) A32-A39.
- 19) T. Tanemura, M. Takenaka, A. Al Amin, K. Takeda, T. Shioda, M. Sugiyama and Y. Nakano: "InP/InGaAsP integrated 1×5 optical switch using arrayed phase shifters," IEEE Photon. Technol. Lett., **20** (2008) 1063-1065.
- 20) T. Tanemura and Y. Nakano: "Design and scalability analysis of optical phased-array 1×N switch on planar lightwave circuit," IEICE Electron. Express, **5** (2008) 603-609.
- 21) I. M. Soganci, T. Tanemura, K. A. Williams, N. Calabretta, T. de Vries, E. Smalbrugge, M. K. Smit, H. J. S. Dorren and Y. Nakano: "Monolithically integrated InP 1×16 optical switch with wavelength-insensitive operation," IEEE Photon. Technol. Lett., **22** (2010) 143-145.
- 22) I. M. Soganci, T. Tanemura and Y. Nakano: "Integrated phased-array switches for large-scale photonic routing on chip," Laser Photonics Rev., **6** (2012) 549-563.
- 23) M. J. Kwack, T. Tanemura, A. Higo and Y. Nakano: "Monolithic InP strictly non-blocking 8×8 switch for high-speed WDM optical interconnection," Opt. Express, **20** (2012) 28734-28741.
- 24) I. M. Soganci, N. Calabretta, T. Tanemura, W. Wang, O. Raz, K. Higuchi, K. A. Williams, T. de Vries, H. J. S. Dorren and Y. Nakano: "160-Gb/s optical packet switching subsystem with monolithic optical phased-array switch," IEEE Photon. Technol. Lett., **22** (2010) 817-819.
- 25) T. Tanemura, I. M. Soganci, T. Oyama, T. Ohyama, S. Mino, K. A. Williams, N. Calabretta, H. J. S. Dorren and Y. Nakano: "Large-capacity compact optical buffer based on InP integrated phased-array switch and coiled fiber delay lines," J. Lightwave Technol., **29** (2011) 396-402.
- 26) M. J. Kwack, T. Oyama, Y. Hashizume, S. Mino, M. Zaitzu, T. Tanemura and Y. Nakano: "Compact optical buffer module for intra-packet synchronization based on InP 1×8 switch and silica-based delay line circuit," IEICE Trans. Electron., **E96-C** (2013) 738-743.
- 27) H. D. Thacker, I. Shubin, Y. Luo, J. Costa, J. Lexau, X. Zheng, G. Li, J. Yao, J. Li, D. Patil, F. Liu, R. Ho, D. Feng, M. Asghari, T. Pinguet, K. Raj, J. G. Mitchell, A. V. Krishnamoorthy and J. E. Cunningham: "Hybrid integration of silicon nanophotonics with 40 nm-CMOS VLSI drivers and receivers," *Electronic Components and Technology Conference (ECTC)*, (2011) pp. 829-835.
- 28) 陳 超, 肥後昭男, 郭 命俊, 種村拓夫, 中野義昭: "1×8 フェーズアレイ型シリコン光スイッチの試作と評価", 電子情報通信学会総合大会, 岐阜大学, C-3-54 (2013).

(2013年3月18日受理)