

二次元情報処理のシステムアーキテクチャー —— 光ニューロコンピューティング, 光インターコネク ション, 超高速ビジョン ——

石川 正 俊

System Architectures for Two Dimensional Information Processing: Optical Neurocomputing, Optical Interconnection, and High Speed Vision

Masatoshi ISHIKAWA

Design of computing architecture should be based on structure of computation and capability of hardware. As it is constrained by time, space, cost, and application, there is a tradeoff between computation and hardware. Parallel processing requires special types of hardware and concurrent model of calculation. In particular, parallel processing for two dimensional data such as image data inherently requires two dimensional structure. Although optical technology is expected for eliminating some of bottlenecks in the traditional architecture such as von Neumann architecture, practical architectures for parallel processing has been changed with the times. In this paper, from such viewpoint, history of computing architectures using optical technology such as optical neurocomputing, optical interconnection, and high speed vision are described with applications. In addition, the future of parallel processing for two dimensional data is discussed.

Key words: parallel processing, image processing, computer generated hologram (CGH), very large scale integration (VLSI), CMOS imager

1. コンピューティングの構造

コンピューティング, すなわち何らかの意味のある情報処理を実現するには, 実現しようとする処理の計算構造とともに, それを実現する実効的なハードウェア構造の存在が不可欠である. 多くの場合, 時間, 空間 (サイズ), コスト等, さまざまな制約条件が課されるので, その制約条件の中で目的の情報処理を達成するためには, 計算構造とハードウェアの構造が相互に協調する必要があることは, いうまでもない.

つまり, これらの制約条件あるいは技術的達成度の不足等からハードウェア制約が強い場合には, それに合った計算構造を導入することが必要となり, 計算構造が変えられない場合には, それを実現するハードウェアを工夫する必要が出てくるわけである. さらに, 問題を難しくしている

のは, 汎用性・専用性とコストならびにコストパフォーマンスの間に, 複雑なトレードオフが存在する点である.

これらのことから, 何らかの情報処理に最適なコンピューティングの構造は, 与えられた制約条件のもとで, 時代とともに変化し, 進化していくことになる. 特に並列情報処理は計算構造とハードウェアの相互作用が強く, ハードウェアの面からも計算論の面からも, さまざまなモデルが議論されている.

本稿では, 二次元情報の並列処理の観点から, 過去から現在までに提案・実現されているシステムアーキテクチャーの変遷について, 筆者らが開発したシステムを中心に, 応用面も含めて概説する.

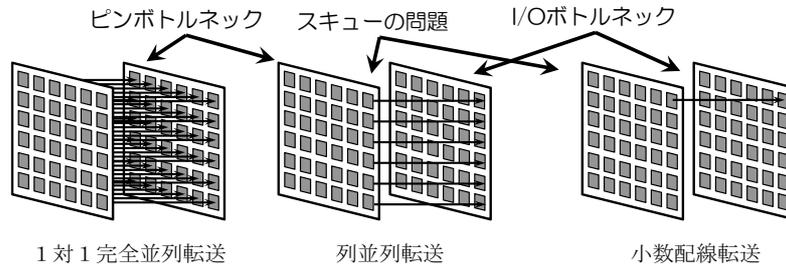


図1 二次元情報の並列処理とボトルネック。

2. 時代とともに変わるボトルネック

2.1 コンピューターの基本構造とフォンノイマンボトルネック

一般的なシングルコアのコンピューターの動作原理は、万能チューリングマシンによって示された計算可能性の理論的根拠にもとづいてその汎用性を保証し、それを具現化するアーキテクチャーとしてフォンノイマンアーキテクチャーが生まれた。この発展型として、現在のコンピューター技術の隆盛をみるに至っている。

この構造は、実現しようとする演算処理を時間軸上に展開する方法、すなわち逐次的演算処理手法であり、演算処理を逐次的・論理的因果関係で分解し、それを時間軸上の制御コマンド列すなわちプログラムで表現し実行する情報処理手法である。この構造は、演算の論理的正確さや演算の制御の容易さ等の利点をもつ反面、演算の時間軸上の密度の限界、すなわち計算速度の限界が存在し、データやプログラムの流れにフォンノイマンボトルネックとよばれるボトルネックを生じることになる。加えて、計算構造を直列展開することが原則となるため、実装上の観点から、コンピューティングに時間制約がある場合の限界も指摘されている。

2.2 並列性の高い演算構造に現れるボトルネック

このような直列型の処理は、特に原理的に並列性の高い演算処理やアルゴリズムでない演算対象に対しては弱点が存在する。すなわち、演算対象を空間的に展開する一般的手法を持ち合わせていないのである。従来は、この問題を直列型処理の並列化で対処してきた。CPUのマルチコア化が典型的な例である。しかしこの方法は、演算の並列性を生かした構造になっていない。

マルチコア化の流れからもわかる通り、半導体集積化技術の進歩により、とてつもない大規模の回路をワンチップに収めることができるようになった。しかしながら、システムLSIとしての機能設計上、あまりにも大きくなった回路規模を余すところなく使い切るための設計手法が開拓できていない点が限界を生んでいる。

さらに、大規模化に連動して、演算の速度と通信の速度のバランスが重要な設計課題となり、その成否が全体の性能を大きく左右するようになってきた。集積化された演算モジュールの演算速度がどんなに向上したとしても、ハードウェア制約として、モジュール間接続の帯域幅やチップのピン数の限界があり、チップ間を必要なバンド幅で必要な本数を接続する技術は、並列化により増大する集積度を実効的に実現するためのキーテクノロジーとなる。特に後述するように、画像の時空間密度の向上は、これらの限界を上回るケースも多く、さまざまな展開が必要である。

従来のシステムでは、演算機構へのデータの入出力として、一般的に、走査機構、バス構造、ネットワーク構造を用いるものが多かった。この構造は、通信の時間密度が演算速度に対して十分小さい場合には、配線を減らし回路をコンパクトにするという効果があったが、演算速度が高速化すると、I/Oや通信のほうがボトルネックになるという逆転現象に直面することとなる。このボトルネックの概念図を図1に示す。

このようなボトルネックを解消するため、並列の入出力・通信機構を実現しようとしても、個々の演算機構内部のフォンノイマンボトルネックは依然として存在し、なおかつ演算機構間の配線がもう一つのボトルネックとして浮かび上がってくる。つまり、ボトルネックを回避するために配線の並列化を進めると、配線技術の限界、特に配線密度の限界に達し、配線ボトルネックあるいはピンボトルネックとよばれる問題が顕然化することとなる。しかも、並列化の際に時間同期が必要となれば、信号間のスキューの問題も生じることとなる。

近年、チップの積層化や三次元化の技術により、多数のチップ間配線が可能となり¹⁾、光インターコネクションも徐々にコンピューターの内部で使われるようになってきたことを考えると、このボトルネックの解消も近いと期待されている。

以下では、歴史を少しさかのぼり、どのような条件でどのような構造が提案されてきたかを筆者らのシステムを中

心に概説するとともに、そこからみえてくる新しい時代のシステムアーキテクチャーの方向性を議論する。

3. 学習可能な光連想記憶

3.1 光連想記憶の演算構造^{2,3)}

筆者らは、1980年代後半から学習可能な光連想記憶の研究を行い、光電子ハイブリッドシステムにより実際のシステムを実現した。このころの関連研究は、それまでのニューラルネットワークの研究とは違って、ニューラルネットワークモデルの演算構造を物理的なモデルとのアナロジーで理解しようとする立場が強調され、半導体技術の進歩を背景として、ハードウェア化の可能性に期待が集まっていた。そのため、原理的に並列構造を有する計算モデルを実際のハードウェアで実現しようとする研究がさかに行われた。

本質的な意味で、ニューロコンピューティングの基本構造は、演算処理を空間的に展開する方法であると同時に、プログラムとは違った汎用構造を実現する方法である。前者はネットワークを含む大規模並列性のハードウェアでの実現の問題であり、後者は学習の実現の問題となる。

第1の問題は、それほど能力の高くない単機能の演算素子を大規模並列に並べ、しかもこれらの演算素子間を高密度に接続するネットワークの実現を求めている。しかも、演算機構、ネットワーク、I/O等、すべての処理・通信機構に関して完全並列であることが理想となる。

第2の問題である学習は、ネットワークの可塑性の実現の問題であり、演算構造としては、従来のコンピューターにおけるプログラムに対して、演算機能を自己組織する機能である。学習なしの場合に比べて、学習信号の生成ならびに学習自体の高速化も課題となる。

3.2 ニューロコンピューティングのためのハードウェア技術

このような大規模並列性を実現するための新しいハードウェアが、当時いろいろと提案された。LSI技術もそのひとつであるが、メモリーのように同一の回路を並べるとは問題ないものの、可塑性をもつネットワークの実現の観点では、走査以外にピンボルトネックに対する解決策はなく、大規模並列化に対するスケラビリティを有する方法は見当たらなかった。

これに対して、単機能の演算モジュールの並列化とネットワークの大規模化を実現可能な技術として、光技術の導入に大きな期待がかけられた。筆者らは、光連想記憶の実現において、ニューラルネットワークの本質である学習機能の実現がなければ汎用性の維持はできないと考え、自由

空間光全結線ネットワークとその可塑性の実現を主たる目標とし、加えて二次元情報(画像情報等)を直接入出力可能なシステムとして、光アソシアトロンを提案し、その主要部分を光技術を用いたシステムとして実現した^{4,5)}。

一般的に、ニューロコンピューティングにおける基本的な演算は行列ベクトル積と非線形出力演算であり、通常は一次元の発光素子と受光素子のアレイを用いて入出力ベクトルを実現し、透過率で表現されたマトリクス状マスクを用いたアナモルフィック光学系によって行列ベクトル積を実現するが、筆者らは二次元情報の直接処理の要請から、一次元アレイに変えて、等価な演算を二次元入出力に対応する配置(空間コーディング法)に置き換えた光学系を提案した。

この提案では、ネットワークは光の特徴を生かした全結線完全並列配線を実現し、非線形出力演算と学習の演算は、空間光変調素子であるMSLM(microchannel spatial light modulator)の演算機能を用いていた。学習の演算に現れる減算の実現は、当時の他の論文で(学習以外の部分で)採用されていた電子回路による減算を(この電子回路がボトルネックとなるため)採用せず、光変調素子の減算機能を利用することを想定したが、減算はできても負の表現ができない問題(結果が正の値となる減算のみ実現可能)に対しては、直交学習を導入するとともに、用いた学習アルゴリズムの解析により、学習ゲインを適切に設定すれば負にならない範囲で学習が収束することを示すことができた。

光アソシアトロンのアーキテクチャーを図2に示す。光アソシアトロンは、すべてを光で実現するシステムを設計した上で、学習機能の実証を優先させるため、主要部分を光で実現し、残りをコンピューターと並列電子回路で代用したハイブリッドシステムを実現した。

MSLM1が記憶行列を記憶し、発光ダイオードアレイ1からの学習信号で記憶行列を修正することを繰り返すことにより、学習が実現されている。MSLM2は多重化された入力パターンをコヒーレント光に変換し、アダマール積を実現するためのものである。入力パターンは、 $4 \times 4 = 16$ 次元であり、記憶行列は $16 \times 16 = 256$ 点の要素をもつもので、3つのパターンに対する自己想起型の連想記憶システムであった。

このシステムから外挿される実装上の将来像において、大規模化に対するスケラビリティは、空間光変調素子上の記憶行列の空間分解能とアライメント問題も含めた光学系の実現可能性が限界を規定していたため、半導体製造用のステッパー(光学系)とLSI(ステッパーの分解能程度

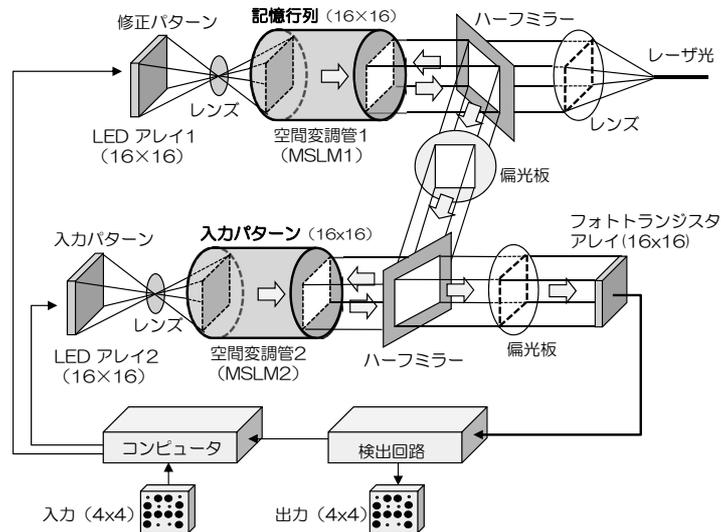


図2 光アソシエトロンアーキテクチャー。

の二次元回路)の関係から、大規模並列性に対しては少なくとも半導体集積技術よりは光技術が優位であると考えていた。

3.3 この研究からみえたこと

この研究成果から筆者らは、光技術を用いたコンピューティングに対して、いくつかの重要な方向性を得ることができたと考えている。

LSI技術も含む電子技術に対して、光並列配線、特に全結線やスキューの少ない配線は、並列情報処理に対して大きな可能性が存在することを示すことができた。自由空間であれ、導波路型であれ、この特徴を生かすことは光技術の有効活用に向けて直接的に結びつくことを示すことができたと考えている。

また、学習機能に関しては、特定機能の演算デバイスに対してもある程度の汎用性が付与できることを示したと同時に、当時用いた光空間変調素子がシェーディングの激しいデバイスであったにもかかわらず、学習が収束し所定の機能が実現できたことから、時不変の不均一性であれば学習で回避できることを示すことができた。後者は、本来の学習の意味とは少し違った視点ではあるが、従来性能の悪さとしてとらえられていた並列光デバイスの不均一性が、学習で回避できることを示したことは大きな収穫であった。

しかしながらこの研究で、将来も含めて大きな課題が2つ顕然化されたと考えている。1つは二次元情報の直接入力の実装の問題で、もともと二次元の情報を二次元デバイスで用いる場合には問題が少ないが、例えばディスクやメモリーに入っている情報に対する処理では、その入出力がボトルネックとなる。このことは周辺機器も含めた並列化

が必要であることを示唆しており、実現のハードルは高い。このことは光連想記憶に限ったことではなく、将来の光ディスクの検索等を考えると、その二次元直接入出力を実現することは重要な課題である。

もう1つは演算機能の問題である。かつて二次元光フーリエ変換がコンピューターに取って代わられたように、演算の汎用性において電子回路に及ばないのはもちろんのこと、特定単機能の素子でも、高速電子回路+走査の演算時間に及ばないようでは、光演算の優位性は低いといわざるを得ない。

4. 光インターコネクション

4.1 自由空間光インターコネクションとスマートピクセル

上記の研究からほどなく、それまでのシステムアーキテクチャーの問題点に学び、光技術の長所を生かすアーキテクチャーとして、筆者らは光インターコネクション、すなわち演算は電子で、インターコネクションは光で実現するアーキテクチャーへとシフトした。

1つのチップに集積可能な回路の規模と複雑さが増大するにつれて、必要となる出力ピン数の増大が予測され、配線遅延や伝送路のスキューの問題も指摘されている。チップ間接続は、原則として、ピン数×帯域を増大させることが課題である。つまり、接続の空間密度と時間密度の積を最大化することである。三次元LSI技術を除くと、メタル配線技術は、空間密度と時間密度、さらにはスキューの面で限界がある。

一般的に、スマートピクセルとよばれる回路モジュールは、チップ面に垂直な方向へ光を出射する面発光レーザー等による発光素子、チップに入射する光を受ける受光素

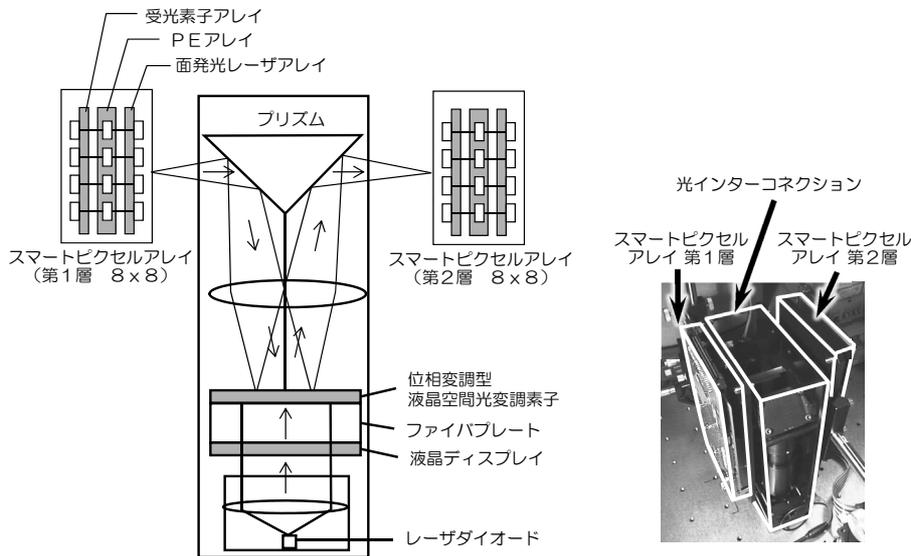


図3 再構成可能な光インターコネクションを用いた並列処理システム OCCULAR-II.

子, シリコンチップ上の何らかの汎用演算回路という3つからなる。発光素子から出射された光は, 他のスマートピクセルの受光素子に入射する。このため, チップのピンを経由することのデメリットを考慮すると, 光入出力素子と演算回路は一体化して集積化されることが必要で, 全体の構造は並列処理となる。

自由空間光インターコネクションには, 固定接続のものと同様に再構成可能な接続のものがあり, 接続形態も1対1や1対多の接続のものがある。並列処理の汎用性を高めるためには, 1対多の再構成可能なインターコネクションが重要であるが, 1対多の接続では, 面発光レーザーからの光を必要な本数に分岐する必要がある, そのためにビームスプリッターや回折素子等を用いる必要がある。その分岐を再構成可能にするには, それらの素子が書き換え可能であることも必要である。

当時筆者らは, 集積化はできなかったが, 電子回路による独自の並列演算回路を汎用演算回路とし, 面発光レーザーアレイ (8×8) を発光素子, シリコンフォトディテクター (8×8) を受光素子とするスマートピクセルを開発し, 書き換え可能なCGH (computer generated hologram) による1対多の再構成可能な光インターコネクション^{6,7)}で接続するシステムSPE-IIを試作した^{8,9)}。さらに, スマートピクセル間の光インターコネクションをGLINレンズ (gradient index lenses) を用いて小型化したシステムOCCULAR-IIを試作した。CGHは, 位相変調タイプの液晶空間光変調素子を用いて書き換え可能とした^{10,11)}。このシステムを用いて, 実際に8×8のスマートピクセルアレイを自己フィードバックループ (自分自身の出力が自分自

身に戻ってくるシステム) の中で実装し, 再構成可能性を活用して行列ベクトル演算を実現した¹¹⁾。この様子を図3に示す。

ここで実現された光インターコネクションはフーリエ変換型であるため, 実現されるインターコネクションはシフトインバリエント型になり, アービトレーションフリーな構造をもつSIMD (single instruction stream and multiple data stream) タイプの並列処理が原則となるため, 動作させるアルゴリズムもそのことを考慮する必要がある。

4.2 この研究からみえたこと

完全並列処理を考えると, ピンボトルネックは深刻である。例えば64×64の演算回路に対して, 完全並列の場合には1対1でも4,096本のインターコネクションが必要となる。これに再構成可能性を実現しようとするれば, 光以外では並列実現は困難である。しかしながら, この計算は細粒度の均一性の高い並列処理を想定したものであり, 現在主流のマルチコアのような粒度と集積度では, むしろ高速性の実現やスキューの問題の解決策としての光インターコネクションに期待が高い。ただし, TSV (through silicon via) を用いた三次元LSIの技術も進展してきており, それとの競争になる可能性が高い¹⁾。

もうひとつの問題がアライメントの問題である。LSI上のフォトディテクターの位置はLSI製作時に決定されており, 光インターコネクションはそれに合わせる必要がある。この問題は, 自由空間を利用する場合に避けては通れない問題である¹²⁾。

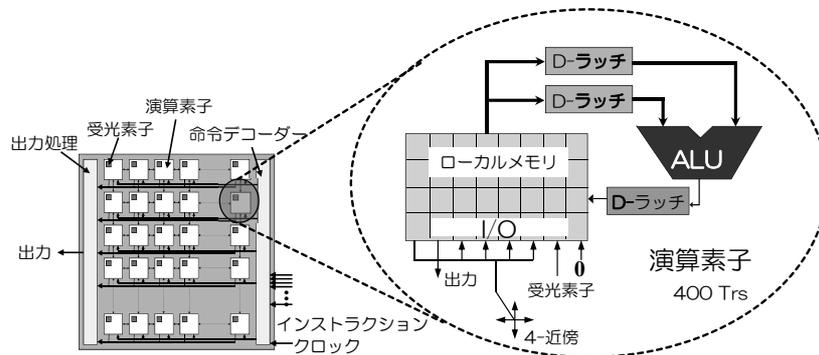


図4 ビジョンチップの基本構造.

5. 超高速・超並列ビジョン

5.1 CMOS イメージャーの進歩と並列画像処理

近年のイメージセンサーの感度ならびに速度は、急速に改良が進んでいる。ビデオレート (30 fps) を超えるフレームレートでの画像の利用が容易になり、スマートフォンのイメージャーも 120 fps に移行している。このことから、映像記録だけのイメージャーから、画像処理を実行することによる新しい価値が求められ、それとともに高速の画像処理の応用が広がることが期待されている。筆者は、これらの技術を総称して、超高速・超並列ビジョン (略称: 高速ビジョン) とよんでいる^{13,14)}。

筆者らは、画像情報に対して完全並列処理を実現する処理アーキテクチャーとして 1992 年に SPE-4k を開発し¹⁵⁾、1999 年、改良したアーキテクチャー S³PE により、ワンチップ化したビジョンチップを開発している¹⁶⁾。このアーキテクチャーは、1つのフォトディテクタ (PD) に対して、1つの演算回路 (PE) を 1対1接続し、SIMD 型のプログラム制御により汎用の画像処理を高速に実現したものである。ここでは、PD の感度限界や市販されているサーボコントローラーのサンプリングレートから考えて、当面の目標を 1,000 fps、すなわち 1 ms 以内に必要な画像処理を実現することを基本として、それを上限とする可変サンプリングレートの実現を目指している。

ここで用いられている PE の構造を図 4 に示す。PE は、ビットシリアル演算構造を有する ALU と 1 bit ずつランダムアクセス可能な 24 bit ローカルメモリーを有し、8 bit の I/O レジスターにより受光素子や近傍との通信を行っている。ビットシリアル演算は多ビット演算を 1 ビットずつ順に行うもので、演算速度の面では遅くなるが、演算回路が 1 ビット分で済み、しかも可変長データの演算が可能である点で集積化に対して有利である。このアーキテクチャーにより、PE あたり約 400 トランジスターというコンパクトな回路で汎用演算が実現されている。1999 年時点で、

0.35 μm の CMOS 技術を用いて、 $64 \times 64 = 4096$ 個の PE を集積したビジョンチップが実現されている¹⁶⁾。1つのピクセルあたりのサイズは、 $67.4 \mu\text{m} \times 67.4 \mu\text{m}$ である。

このほか、高速ビジョンの主要な応用であるターゲットトラッキングに限定したチップも開発し、実用化されている¹⁷⁾。このチップは、高速で運動する対象物体を認識・抽出し、連続的に追跡して、その対象の位置情報を出力するものである。つまり、追跡対象の抽出機能とその中心位置の抽出機能を実現するもので、特に、中心位置の抽出に必要なモーメント特徴の抽出に高速の回路を実装している。

PD アレイと PE アレイを別チップで作成し、両者を同期させながら、行方向に走査して、A/D 変換も含む高速の並列インターフェイスで接続した列並列システム¹⁸⁾や、高速のカメラリンクを用いて高速イメージャーと演算回路を接続した部分並列システム¹⁹⁾等も開発し、それぞれ実用化されている。

5.2 高フレームレートの画像処理アルゴリズムと関連技術の整備

高フレームレートの画像は、サンプリングが十分高速であるため、対象のフレーム間の移動はわずかであり (わずかであればフレームレートが不足している)、容易に対象抽出が可能となる。このため、推測や補間が不要となり、処理が簡素化される。つまり、きわめて単純な演算で対象を抽出することが可能である。このことに合わせて、さまざまな画像処理のアルゴリズムを並列化する必要があるが、モーメント特徴抽出 (対象の重心位置情報の抽出)、衝突・分離の検出、ラベリング (複数対象の認識と番号付け)、マルチターゲットトラッキング、テンプレートマッチング (規定のテンプレートと対象とのマッチングによる形状認識)、ハフ変換 (エッジ抽出処理) といった計算負荷が高いと考えられている処理も並列化が可能である。

高速ビジョンを用いた撮像制御系を考えると、カメラの

制御もまた高速であることが必要である。特にカメラの光学系の制御は、従来のデバイスは低速であったため、新たにカメラ自体をパン・チルトの2軸のモーターで高速に制御する方法や、2枚の小型高速ガルバノミラーを用いて2軸の制御を行う方法を開発した²⁰⁾。これらの方法では、高速ビジョンの処理結果を視線の制御にフィードバックすることにより、高速ターゲットトラッキングが実現している。

さらに、奥行き方向への対象の運動に対しては合焦の制御が必要であるが、三次元の高速トラッキングに用いることが可能な高速の可変焦点レンズがなかった。そこで、液体レンズの界面を高速の piezoアクチュエーターで駆動する高速の可変焦点レンズが開発されている²¹⁾。このレンズは1 kHzを超える動特性を有し、高速の焦点移動が可能である。この機能を用いて、焦点面を奥行き方向に高速走査し、得られた複数の画像の合焦部分を合成することにより、高速の全焦点画像が得られる。

5.3 高速ビジョンの応用²²⁾

高速ビジョンは、従来の画像処理が遅くて適用できていなかった分野、特に人間の眼では判断できないほど高速の対象を扱う分野で、新たな画像処理の応用を開拓している。

ターゲットトラッキングを基本としたジェスチャー認識は、手または指の動きをトラッキングするものである。従来の30 fpsでは、原則として人間の動作のすべてをとらえることはできず(人間の手首の最高速度は、成人男子で90 km/hから100 km/h程度あり、30 fpsではフレームごとに約1 m弱動くことになるため)、高速の画像処理が必須の分野である。携帯機器やウェアラブルコンピューターのジェスチャー入力、コンピューターのマウスの代替、スマートテレビのジェスチャー操作、ゲームコントローラの三次元無拘束入力、デジタルサイネージやメディアアートのインタラクティブ化等においてキーテクノロジーとなる。

マルチターゲットトラッキングに関しては、並列処理回路により、1,600個のターゲットを約1 kHzで同時にトラッキング可能なシステムが開発されている²³⁾。粒子画像を用いた流体計測、小型部品の高速移動時の検査等に用いられるほか、マルチスポットプロジェクター(32×32=1024点)による構造照明を用いて、1 msで1,024点の三次元形状情報を連続して得ることができる。

特に、高速の形状情報と高分解能の二次元映像情報と組み合わせることにより、書籍を専用装置で高速にめくる動作によってページデータを高速に電子化できるシステム(三次元形状情報を用いて元の平坦な画像にする)が実現

されており、250ページを1分程度で処理することが可能である²⁴⁾。

顕微鏡を通して得られる画像は、対象の動きが増幅されるため、像面で高速の動きとなる。その場合、対象の運動をステージに取り付けられたアクチュエーターへフィードバックすることにより、対象の動きをキャンセルでき、微生物等の対象の連続観察が可能となる。この方法をマイクロビジュアルフィードバックとよび、微生物の連続運動観察や顕微鏡下の手術の際の補助等への活用が可能である²⁴⁾。

ロボットのビジュアルフィードバックでは、高速ビジョンにより、サーボコントローラー固有のサンプリングレートで制御が可能となり、きわめてシンプルな制御により、高速の視覚フィードバックを実現することができる。このことは、アームや高速ハンドが視覚情報から直接制御できることを意味し、目に見えない速度の対象の動きに対しても適用可能なさまざまな高速ロボットが開発されている。

5.4 この研究からみえたこと

高速ビジョンのアーキテクチャーは、結局、PDとPEの並列性の実現と画像を出力せずに制御信号に直結する特微量を出力することで、きわめて多くの応用分野を開拓してきた²⁰⁾。詳細は省くが、高速ビジョンは、走査を用いた従来の方法を適用した処理方法に対して、ハードウェア面、アルゴリズム面、コスト面の考察から、ある性能以上の領域で明確な比較優位性があり、その領域での応用分野の開拓を進めている。

研究の当初は、アクティブビジョンや高速アクチュエーター等の関連技術の整備が進んでいなかったため、応用システムとして十分な性能が得られなかったが、それらの整備も並行して進めた結果、さまざまな展開がみえてきた。

6. 二次元情報の並列処理アーキテクチャーの未来

二次元情報の並列処理を中心に、光連想記憶、光インターコネクション、超高速・超並列ビジョンに関し、主としてアーキテクチャーと応用の面から述べた。時代の要請、デバイスの開発状況、関連技術の成熟度、さまざまなボトルネック等に応じて最適なシステムアーキテクチャーは違ってくるため、技術の方向性を議論するためにはきわめて広範囲の視点からの設計センスが求められ、時として答のない世界が待っている。しかしながら、デバイス技術だけで応用を論じることにはできないこと、理論だけでシステムは組めないこと、応用技術のニーズが時として未開拓であること等は、経験的にきわめて重要な認識であると筆者は強く感じている。

二次元情報処理の未来に必然的に並列処理はあると考え

ているが、光技術の活用方法も含めて、その将来像には今後の課題が多く存在する。ハイパフォーマンスコンピューティングの世界での光技術、特に光インターコネクションの応用はさらに進むと考えられるし、高速ビジョンの応用の広がりがみえてきた。ビッグデータ解析やニューラルネットワークにおける計算負荷の重い新しい学習方法では、その高速化のために新たな演算構造の必要性も指摘されており、そこに光技術活用の可能性も存在する。さらに、身近なところでは、大量の光ディスクの情報検索問題では光並列読み出し・処理が必須であるし、画像のネットワーク化にもボトルネックが存在する²⁵⁾。

これらの解決には、多くの研究者が新しいシステム構築に対して、多方面から実証的な研究を行う必要があり、そのことが技術の応用展開には必須であると考えている。

文 献

- 1) 岩田 穆：“インタコネクション技術の概要”，電子情報通信学会誌，**94** (2011) 1022-1026.
- 2) 石川正俊：“光コンピュータと並列学習情報処理”，計測と制御，**27** (1988) 1115-1122.
- 3) 石川正俊：“並列処理システムとしての光ニューロコンピューティング”，光学，**19** (1990) 755-761.
- 4) M. Ishikawa, N. Mukohzaka, H. Toyoda and Y. Suzuki: “Experimental studies on learning capabilities of optical associative memory,” *Appl. Opt.*, **29** (1990) 289-295.
- 5) M. Ishikawa, N. Mukohzaka, H. Toyoda and Y. Suzuki: “Optical associatron: A simple model for optical associative memory,” *Appl. Opt.*, **28** (1989) 291-301.
- 6) A. G. Kirk, T. Tabata and M. Ishikawa: “Design of an optoelectronic cellular processing system with a reconfigurable holographic interconnect,” *Appl. Opt.*, **33** (1994) 1629-1639.
- 7) 石川正俊，石田隆行：“ホログラムを用いた光インターコネクション”，光学，**24** (1995) 341-342.
- 8) M. Ishikawa and N. McArdle: “Optically interconnected parallel computing systems,” *IEEE Comput.*, **3** (1998) 61-68.
- 9) N. McArdle, M. Naruse, H. Toyoda, Y. Kobayashi and M. Ishikawa: “Reconfigurable optical interconnections for parallel computing,” *Proc. IEEE*, **88** (2000) 829-837.
- 10) 石川正俊：“自由空間型スマートピクセルと並列処理システムへの応用”，情報処理，**41** (2000) 1021-1025.
- 11) 成瀬 誠，ニール マッカードル，豊田晴義，小林祐二，川又大典，石川正俊：“再構成可能光インターコネクションを用いた階層的並列処理システム”，電子情報通信学会論文誌 C，**J83-C** (2000) 397-404.
- 12) 石川正俊：“センサ情報の並列処理技術”，電子情報通信学会論文誌 C-II，**J74-C-II** (1991) 255-266.
- 13) A. Goulet, M. Naruse and M. Ishikawa: “Simple integration technique to realize parallel optical interconnects: Implementation of a pluggable two-dimensional optical data link,” *Appl. Opt.*, **41** (2002) 5538-5551.
- 14) 石川正俊：“超並列・超高速視覚情報システム—汎用ビジョンチップと階層型光電子ビジョンシステム—”，応用物理，**67** (1998) 33-38.
- 15) M. Ishikawa, A. Morita and N. Takayanagi: “High speed vision system using massively parallel processing,” *Proc. IEEE/RSJ Int. Conf. on Intelligent Robots and Systems* (1992) 373-377.
- 16) M. Ishikawa, K. Ogawa, T. Komuro and I. Ishii: “A CMOS vision chip with SIMD processing element array for 1 ms image processing,” *Proc. IEEE Int. Solid-State Circuits Conf.* (1999) pp. 206-207.
- 17) T. Komuro, I. Ishii, M. Ishikawa and A. Yoshida: “A digital vision chip specialized for high-speed target tracking,” *IEEE Trans. Electron Devices*, **50** (2003) 191-199.
- 18) 豊田晴義，向坂直久，水野誠一郎，中坊嘉宏，石川正俊：“超高速インテリジェントビジョンシステム：CPV”，第6回画像センシングシンポジウム予稿集 (2000) pp. 213-216.
- 19) T. Komuro, T. Tabata and M. Ishikawa: “A reconfigurable embedded system for 1000 f/s real-time vision,” *IEEE Trans. Circuits Syst. Video Technol.*, **20** (2010) 496-504.
- 20) 奥村光平，奥 寛雅，石川正俊：“アクティブビジョンの高速化を担う光学的視線制御システム”，日本ロボット学会誌，**29** (2011) 201-211.
- 21) H. Oku and M. Ishikawa: “High-speed liquid lens with 2 ms response and 80.3 nm root-mean-square wavefront error,” *Appl. Phys. Lett.*, **94** (2009) 221108.
- 22) 石川正俊：“高速ビジョンとその応用”，応用物理，**81** (2012) 115-120.
- 23) 渡辺義浩，小室 孝，石川正俊：“超並列コプロセッサを搭載する高速ビジョンシステムとリアルタイム多点計測への適用”，電子情報通信学会論文誌 D，**J90-D** (2009) 3233-3245.
- 24) 奥 寛雅，尾川順子，石川正俊：“高速ビジョンによる微生物トラッキング顕微鏡”，生物物理，**49** (2009) 11-14.
- 25) M. Ishikawa: “Is there real fusion between sensing and network technology?—What are the Problems?,” *IEICE Trans. Commun.*, **E93-B** (2010) 2855-2858.

(2013年11月13日受理)